

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Takashi KURIHARA, et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: April 14, 2004

Examiner: Unassigned

For: METHOD AND APPARATUS FOR DESIGNING SEMICONDUCTOR INTEGRATED
CIRCUIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-303495

Filed: August 27, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

By: 

David M. Pitcher
Registration No. 25,908

Date: April 14, 2004

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 8月27日

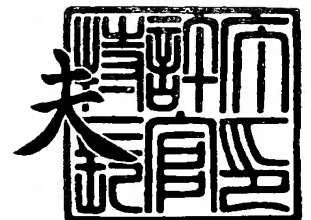
出願番号
Application Number: 特願2003-303495
[ST. 10/C]: [JP2003-303495]

出願人
Applicant(s): 富士通株式会社

2004年 1月26日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2004-3002704

【書類名】 特許願
【整理番号】 0340723
【提出日】 平成15年 8月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/82
G06F 17/50

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 栗原 隆

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 竹内 一貴

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100068755
【弁理士】
【氏名又は名称】 恩田 博宣

【選任した代理人】
【識別番号】 100105957
【弁理士】
【氏名又は名称】 恩田 誠

【手数料の表示】
【予納台帳番号】 002956
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9909792

【書類名】 特許請求の範囲**【請求項 1】**

半導体集積回路の電源パッドの数及び位置見積もり方法であって、

消費電力と電源配線抵抗網とに基づいてコア部の電源網解析を行い、各ノードの電圧値を求める第 1 の処理と、

前記各ノードの電圧値と各ノード間の抵抗値に基づいて各ノード間の電流値を算出し、前記各ノード間の電流値から電源パッドに流れる電流値を求める第 2 の処理と、

前記電源パッドに流れる電流値が I/O バッファの許容電流値を満たすか否かを判断し、その判断結果に基づいて前記電源パッドの間引き又は追加を行う第 3 の処理とを有することを特徴とする電源パッドの数及び位置見積もり方法。

【請求項 2】

前記電源網解析に先立って、前記半導体集積回路に備えられるパッドを全て同電位の電源パッドとして設定する初期化処理を有し、

前記第 3 の処理では、前記電源パッドに流れる電流値が前記許容電流値を満たす場合に前記電源パッドの間引き処理を行うようにしたことを特徴とする請求項 1 記載の電源パッドの数及び位置見積もり方法。

【請求項 3】

前記初期化処理した電源パッドのうち配置が制約される電源パッドを基準パッドとして定め、該基準パッドを除く電源パッドを対象として前記間引き処理を行うことを特徴とする請求項 2 記載の電源パッドの数及び位置見積もり方法。

【請求項 4】

半導体集積回路のコアサイズ見積もり方法であって、

回路情報とレイアウト条件とに基づいてコア部に形成される総ネット長と使用可能チャンネル長とを算出し、

前記総ネット長が前記使用可能チャンネル長以下、

且つ、水平方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、

且つ、垂直方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、となるときのコアサイズを見積もることを特徴とするコアサイズ見積もり方法。

【請求項 5】

前記総ネット長は、

各ネットに形成されるパス長を平均化して平均パス長を求める第 1 の処理と、

前記平均パス長から各ネットのファンアウトに応じた総ネット長を算出し、該算出した各ファンアウト毎の総ネット長の総和を求める第 2 の処理と、により算出され、

前記水平方向及び前記垂直方向の配線方向における総ネット長は、

前記第 2 の処理の算出結果と回路ブロックの縦横比に応じた係数とに基づいて算出されることを特徴とする請求項 4 記載のコアサイズ見積もり方法。

【請求項 6】

前記使用可能チャンネル長は、

コア部の面積を仮見積もりする第 1 の処理と、

前記仮見積もりのしたコア部の面積に対し、各配線層での使用可能チャンネル長を配線禁止チャンネル長と最大チャンネル使用率とに基づいて算出し、該算出した各配線層毎の使用可能チャンネル長の総和を求める第 2 の処理と、

により算出され、

前記水平方向及び前記垂直方向の配線方向における使用可能チャンネル長は、

それぞれ配線方向が同一方向となる配線層の使用可能チャンネル長を合算して求められることを特徴とする請求項 4 記載のコアサイズ見積もり方法。

【請求項 7】

複数の回路ブロックよりなる半導体集積回路のコアサイズ見積もり方法であって、

各回路ブロックの面積の総和を求める第 1 の処理と、

前記各回路ブロックの周辺に必要となる配線領域を算出し、各配線領域の総和を求める第2の処理と、

各回路ブロック間の接続に用いるリピータセルの面積の総和を求める第3の処理と、を有し、

前記第1の処理、前記第2の処理及び前記第3の処理の算出結果を総和してコアサイズを見積もることを特徴とするコアサイズ見積もり方法。

【請求項8】

半導体集積回路の仮配線容量見積もり方法であって、

請求項5記載の平均パス長に基づいて各ネットのファンアウトに応じた平均ネット長を算出し、前記平均ネット長と単位長さ当りの容量値とに基づいて仮配線容量を見積もることを特徴とする仮配線容量見積もり方法。

【請求項9】

半導体集積回路のチップサイズ見積もり方法であって、

請求項4乃至7の何れか一項記載のコアサイズ見積もり方法を用いて求めたコアサイズと、請求項1乃至3の何れか一項記載の電源パッドの数及び位置見積もり方法を用いて求めた電源パッドの数及び位置に応じたIO領域とに基づいてチップサイズを見積もることを特徴としたチップサイズ見積もり方法。

【請求項10】

半導体集積回路の設計装置であって、

請求項4乃至7の何れか一項記載のコアサイズ見積もり方法を用いてコアサイズを見積もるコアサイズ算出手段と、

請求項1乃至3の何れか一項記載の電源パッドの数及び位置見積もり方法を用いて電源パッドの数及び位置を見積もる電源パッド数・位置算出手段とを備えることを特徴とする設計装置。

【書類名】明細書

【発明の名称】電源パッドの数及び位置見積もり方法、コアサイズ見積もり方法、仮配線容量見積もり方法、チップサイズ見積もり方法及び設計装置

【技術分野】**【0001】**

本発明は、半導体集積回路設計を効率よく行うための電源パッドの数及び位置見積もり方法、コアサイズ見積もり方法、仮配線容量見積もり方法、チップサイズ見積もり方法及び設計装置に関するものである。

【0002】

近年、半導体集積回路（LSI）は、大規模化、大消費電力化及び多ピン化が進んでおり、それに伴って設計期間も益々増大している。設計期間の短縮を図るには、設計フローでの手戻り工程を如何に少なくするかが重要であり、それにはレイアウト設計に入る前の初期段階で最適な設計を行うことが要求される。

【背景技術】**【0003】**

LSIの設計では、論理合成により得られたネットリストに基づいてフロアプランを行い、それに基づいてセルの配置／配線（レイアウト）を行った後、そのレイアウトに対する回路シミュレーションを行って動作の検証を行う。この検証により、そのチップレイアウトが信号や電源の信頼性（SI: Signal Integrity / PI: Power Integrity）を保証できる程度であるか否かを判断する。

【0004】

SIやPIを保証できるか否かの判断は、デバイスの内部回路（以下「コア部」という）におけるIRドロップ値が許容値を超えていないかどうか、あるいは入出力バッファ（以下「IOバッファ」という）に流れる電流値が許容値を超えていないかどうか、を判断することによって行う。これらの判断の結果、NGとなる場合には、そのレイアウトについての再設計が必要となる。

【特許文献1】特開平11-297840号公報

【特許文献2】特開平10-294380号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

ところで、上記のような再設計による設計フローの手戻りは、設計期間を長くし、設計コストを上昇させる要因となる。従って、レイアウト前における初期段階の設計を最適化し、設計フローの手戻り工程を少なくすることが重要となっている。

【0006】

上記IRドロップ値が許容値（以下「許容IRドロップ値」という）を超える原因、あるいはIOバッファに流れる電流値が許容値（以下「許容電流値」という）を超える原因として、電源パッドの数及び位置が精度良く見積もられていないという問題がある。

【0007】

従来、こうした電源パッドの数及び位置の見積もりは、例えば以下のような手法を用いて行われてきた。

(1) 電源パッドの数を見積もる手法として、出力バッファの同時スイッチングノイズを低減するのに必要な電源パッドの数を過去の経験からあらかじめルール化して求めておき、そのルールに従って電源パッドの数を決定する。

【0008】

(2) 電源パッドの位置を見積もる手法として、クロックバッファにおける電源ノイズを低減すべく、同クロックバッファに接続される信号パッドの両端に電源パッドを配置する。

【0009】

従来では、このように電源パッドの数及び位置を主としてノイズ対策の観点から過去の

経験により見積もるようにしている。しかしながら、こうした見積もり方法では、上述した S I や P I を保証し得る I R ドロップ値や I O バッファの電流値を一回のレイアウトでは満足できず、その結果、再設計が必要となることが多々あった。

【0010】

このように電源パッドの数及び位置が適切に見積もられないままレイアウトが行われ、その後の検証でそれらの変更が必要となる場合は、単にパッド数の追加や配置変更のみによっては解決できないこともあり、パッケージの再選択やチップサイズの変更が必要となることもあった。

【0011】

また、設計フローの手戻りを発生させるその他の要因として、レイアウト前にチップサイズ（具体的にはコアサイズ）が精度良く見積もられていないという問題がある。従来より、こうしたコアサイズを見積もる面積予想方法としては、例えば特許文献 1 や特許文献 2 に開示された技術がある。

【0012】

しかしながら、特許文献 1 に開示された方法では、コア部の配線長を見積もる過程において、配線長の値に影響のあるネットリストの要因が考慮されないため、コアサイズを正確に見積もることができないという問題がある。

【0013】

また、特許文献 2 に開示された方法では、回路ブロックの周辺に必要となる配線領域を回路ブロックの配置に基づいて導出するため、回路ブロックが多数の場合には、各回路ブロックのそれぞれについて最適な配置を決定する必要がある。従って、コアサイズを正確に予想することは困難であった。

【0014】

本発明は、上記のような問題に鑑みてなされたものであり、その目的は、設計フローにおける手戻り工程を少なくし、設計期間の短縮、延いては設計コストの削減を図ることのできる、電源パッドの数及び位置見積もり方法、コアサイズ見積もり方法、仮配線容量見積もり方法、チップサイズ見積もり方法及び設計装置を提供することにある。

【課題を解決するための手段】

【0015】

上記目的を達成するため、本発明によれば、半導体集積回路の電源パッドの数及び位置見積もり方法であって、消費電力と電源配線抵抗網とに基づいてコア部の電源網解析を行い、各ノードの電圧値を求める第 1 の処理と、前記各ノードの電圧値と各ノード間の抵抗値に基づいて各ノード間の電流値を算出し、前記各ノード間の電流値から電源パッドに流れる電流値を求める第 2 の処理と、前記電源パッドに流れる電流値が I O バッファの許容電流値を満たすか否かを判断し、その判断結果に基づいて前記電源パッドの間引き又は追加を行う第 3 の処理とを有する電源パッドの数及び位置見積もり方法に基づいて、電源パッドの数及び位置を見積もるようにした。この方法によれば、許容 I R ドロップ値や I O バッファの許容電流値を考慮して、レイアウト前に、電源パッドの数及び位置を精度よく見積もることができる。これにより、設計フローの手戻りを少なくして、設計期間及び設計コストの低減を図ることができる。

【0016】

本発明によれば、前記電源網解析に先立って、前記半導体集積回路に備えられるパッドを全て同電位の電源パッドとして設定する初期化処理を行い、前記第 3 の処理では、前記電源パッドに流れる電流値が前記許容電流値を満たす場合に前記電源パッドの間引き処理を行うようにした。この方法によれば、レイアウト前に、電源パッドの数及び位置を精度よく見積もることができる。

【0017】

本発明によれば、前記初期化処理した電源パッドのうち配置が制約される電源パッドを基準パッドとして定め、該基準パッドを除く電源パッドを対象として前記間引き処理を行うようにした。この方法によれば、配置制約を考慮しながら、電源パッドの数及び位置を

より精度よく見積もることができる。

【0018】

本発明によれば、半導体集積回路のコアサイズ見積もり方法であって、回路情報とレイアウト条件とに基づいてコア部に形成される総ネット長と使用可能チャンネル長とを算出し、前記総ネット長が前記使用可能チャンネル長以下、且つ、水平方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、且つ、垂直方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、となるときのコアサイズを見積もるようにした。この方法によれば、コア部の総ネット長と使用可能チャンネル長との比較を、それらの水平方向と垂直方向の配線方向の成分についても考慮しながら行うことにより、レイアウト前に、コアサイズを正確に且つ最小の面積で見積もることができる。

【0019】

本発明によれば、前記総ネット長は、各ネットに形成されるパス長を平均化して平均パス長を求める第1の処理と、前記平均パス長から各ネットのファンアウトに応じた総ネット長を算出し、該算出した各ファンアウト毎の総ネット長の総和を求める第2の処理とにより算出され、前記水平方向及び前記垂直方向の配線方向における総ネット長は、前記第2の処理の算出結果と回路ブロックの縦横比に応じた係数とに基づいて算出される。この方法によれば、コア部に形成される各ネットのファンアウトを考慮して、レイアウト前に、コアサイズを正確に且つ最小の面積で見積もることができる。

【0020】

本発明によれば、前記使用可能チャンネル長は、コア部の面積を仮見積もりする第1の処理と、前記仮見積もりしたコア部の面積に対し、各配線層での使用可能チャンネル長を配線禁止チャンネル長と最大チャンネル使用率とに基づいて算出し、該算出した各配線層毎の使用可能チャンネル長の総和を求める第2の処理とにより算出され、前記水平方向及び前記垂直方向の配線方向における使用可能チャンネル長は、それぞれ配線方向が同一方向となる配線層の使用可能チャンネル長を合算して求められる。この方法によれば、仮見積もりしたコア部の面積に対して、各配線層毎の使用可能チャンネル長をそれぞれ配線禁止チャンネル長と最大チャンネル使用率とに基づいて算出することにより、全配線層での使用可能チャンネル長を正確に見積もることができる。この結果、コアサイズを正確に且つ最小の面積で見積もることが可能となる。

【0021】

本発明によれば、複数の回路ブロックよりなる半導体集積回路のコアサイズ見積もり方法であって、各回路ブロックの面積の総和を求める第1の処理と、前記各回路ブロックの周辺に必要となる配線領域を算出し、各配線領域の総和を求める第2の処理と、各回路ブロック間の接続に用いるリピータセルの面積の総和を求める第3の処理とを有し、前記第1の処理、前記第2の処理及び前記第3の処理の算出結果を総和してコアサイズを見積もるようにした。この方法によれば、コア部が複数の回路ブロックよりなる場合においても、レイアウト前に、コアサイズを正確に且つ最小の面積で見積もることが可能となる。

【0022】

本発明によれば、半導体集積回路の仮配線容量見積もり方法であって、請求項5記載の平均パス長から各ネットのファンアウトに応じた平均ネット長を算出し、前記平均ネット長と単位長さ当りの容量値とに基づいて仮配線容量を見積もるようにした。この方法によれば、仮配線容量を精度良く見積もることが可能となるため、レイアウト前に、回路の性能をより高精度に評価することができる。

【0023】

本発明によれば、半導体集積回路のチップサイズ見積もり方法であって、請求項4乃至7の何れか一項記載のコアサイズ見積もり方法を用いて求めたコアサイズと、請求項1乃至3の何れか一項記載の電源パッドの数及び位置見積もり方法を用いて求めた電源パッドの数及び位置に応じたIO領域とに基づいてチップサイズを見積もるようにした。この方法によれば、レイアウト前に、チップサイズを精度良く見積もることができる。

【0024】

本発明によれば、半導体集積回路の設計装置であって、請求項4乃至7の何れか一項記載のコアサイズ見積もり方法を用いてコアサイズを見積もるコアサイズ算出手段と、請求項1乃至3の何れか一項記載の電源パッドの数及び位置見積もり方法を用いて電源パッドの数及び位置を見積もる電源パッド数・位置算出手段とを備える。この設計装置によれば、レイアウト前に、コアサイズや電源パッドの数及び位置を精度良く見積もることができるとともに、チップサイズを精度良く見積もることができるため、設計フローの手戻りの回数を少なくすることができる。

【発明の効果】

【0025】

したがって、本発明によれば、設計フローにおける手戻り工程を少なくし、設計期間の短縮、延いては設計コストの削減を図ることのできる、電源パッドの数及び位置見積もり方法、コアサイズ見積もり方法、仮配線容量見積もり方法、チップサイズ見積もり方法及び設計装置を提供することができる。

【発明を実施するための最良の形態】

【0026】

(第1の実施の形態)

以下、本発明を、半導体集積回路(LSI)の設計フローのうち、レイアウト設計前の初期段階の設計(以下「初期設計」という)における処理について具体化した第1の実施の形態を図1～図11に従って説明する。

【0027】

図1は、本実施の形態のチップサイズ見積もり方法の概略を示す処理フローチャートである。このチップサイズ見積もり処理は、本実施の形態においては、消費電力算出手段11、電源物量算出手段12、コアサイズ算出手段13、電源パッド数・位置算出手段14及びチップサイズ算出手段15として機能する設計装置の中央処理装置(以下「CPU」という)により実現される。

【0028】

ステップ1において、消費電力算出手段11は、論理合成の結果得られたネットリストファイルF1、配線容量ファイルF2及びトランジスタ(Tr)活性化率ファイルF3に基づいてコア部の消費電力を算出し、消費電力ファイルF4を作成する。

【0029】

ステップ2において、電源物量算出手段12は、ステップ1で得られた消費電力ファイルF4に基づいて、コア部のIRドロップ値が許容IRドロップ値を満足する電源物量を算出し、電源物量ファイルF5を作成する。電源物量は、単位面積当りの電源配線量を表す値である。

【0030】

ステップ3において、コアサイズ算出手段13は、ステップ2で得られた電源物量ファイルF5と、上記ネットリストファイルF1に基づいて作成される回路情報ファイルF6と、レイアウト条件ファイルF7とに基づいて、コア部に形成すべき信号配線チャネルの領域を確保し得るコアサイズを見積もる。なお、このコアサイズの見積もり方法の詳細については後述する。

【0031】

ステップ4において、電源パッド数・位置算出手段14は、ステップ1で得られた消費電力ファイルF4と、上記ネットリストファイルF1に基づいて作成される電源配線抵抗網ファイルF8とに基づいて、電源パッドの数及び位置を見積もる。この際、電源パッドの配置に制約があるものについては、その配置数や配置位置等を記憶したパッド制約情報ファイルF9に基づいて電源パッドの数及び位置を見積もる。なお、この電源パッドの数及び位置の見積もり方法の詳細については後述する。

【0032】

ステップ5において、チップサイズ算出手段15は、ステップ3で見積もられたコアサイズが、ステップ4で見積もられた電源パッドを配置することが可能なサイズかどうかを

判断する。このとき、配置が可能である場合には、そのコアサイズに対し、電源パッドを配置するために必要な面積（詳しくは I/O バッファを含む I/O 領域の面積）と、その後のプロセスで必要となる面積の増分とを加え、それをチップサイズとして見積もる。一方、配置ができない場合には、ステップ 4 で求めた電源パッドが配置可能となるサイズまでステップ 3 で求めたコアサイズを拡張する。

【0033】

図 2 は、本実施の形態の設計装置の概略構成図である。

この設計装置 21 は、一般的な CAD (Computer Aided Design) 装置によって構成されている。設計装置 21 は、CPU 22、メモリ 23、記憶装置 24、表示装置 25、入力装置 26 及びドライブ装置 27 を備え、それらはバス 28 を介して相互に接続されている。

【0034】

CPU 22 は、メモリ 23 を利用してプログラムを実行し、上述したチップサイズ見積もり処理（図 1 参照）を実現する。このメモリ 23 としては、通常、キャッシュ・メモリ、システム・メモリ及びディスプレイ・メモリ等を含む。表示装置 25 は、処理の結果を示す画面、パラメータ入力画面等の表示に用いられ、これには通常、CRT、LCD、PDP 等が用いられる。入力装置 26 は、ユーザからの要求や指示、パラメータの入力に用いられ、これにはキーボード及びマウス装置等が用いられる。

【0035】

記憶装置 24 は、通常、磁気ディスク装置、光ディスク装置、光磁気ディスク装置等を含む。この記憶装置 24 には、各種の処理を実現するためのプログラムや同プログラムの実行に必要なデータを格納した各種のファイルが記憶される。CPU 22 は、入力装置 26 による指示に応答してプログラムや各種ファイルに格納されるデータを適宜メモリ 23 へ転送し、それを逐次実行する。なお、記憶装置 24 は、データベースとしても使用される。

【0036】

CPU 22 が実行するプログラムは、記録媒体 29 にて提供される。ドライブ装置 27 は、記録媒体 29 を駆動し、その記憶内容にアクセスする。CPU 22 は、ドライブ装置 27 を介して記録媒体 29 からプログラムを読み出し、それを記憶装置 24 にインストールする。

【0037】

記録媒体 29 としては、光ディスク (CD-ROM, DVD-ROM, ...)、光磁気ディスク (MO, MD, ...) 等、任意の記録媒体を使用することができる。なお、記録媒体 29 には、通信媒体を介してアップロード又はダウンロードされたプログラムを記録した媒体、ディスク装置を含む。

【0038】

次に、本実施の形態における電源パッドの数及び位置の見積もり方法（図 1 において、電源パッド数・位置算出手段 14 により実行されるステップ 4 の処理）を、図 3～図 10 に基づいて説明する。

【0039】

図 3 は、電源パッドの数及び位置見積もり処理の概要を示すフローチャートである。

まず、ステップ 11 において、消費電力ファイル F4 と電源配線抵抗網ファイル F8 とに基づいてコア部の電源網解析を行い、各ノードの電圧値を求める。なお、このステップ 11 での電源網解析の結果、各ノード間の IR ドロップ値が許容 IR ドロップ値を超えている場合には、その時点で処理を中止する。

【0040】

次に、ステップ 12 において、ステップ 11 で求められた各ノードの電圧値と電源配線抵抗網ファイル F8 に格納されている各ノード間の抵抗値とに基づいて各ノード間に流れる電流値を算出し、該算出結果に基づいて電源パッドに流れる電流値を求める。

【0041】

次に、ステップ13において、ステップ12で求められた電源パッドに流れる電流値と同電源パッドに接続される入出力バッファ（IOバッファ）の許容電流値とに基づいて、電源パッドの数及び位置を見積もる。具体的には、電源パッドに流れる電流値とIOバッファの許容電流値とを比較し、電源パッドに流れる電流値が許容電流値を超えている場合にはその電源パッドの近傍に電源パッドを追加する。一方、電源パッドに流れる電流値が許容電流値以内であれば、後述するように、その電源パッドを削除（間引き）することが可能となる。

【0042】

図4は、この図3の見積もり処理の詳細を示すフローチャートである。

まず、ステップ20において、電源パッドの初期化処理を行う。この処理は、上述したコア部の電源網解析に先立って行われる。詳しくは、設計対象のデバイス（半導体集積回路）に備えられている各パッド（電源パッド（互いに電位の異なる電源パッドを含む）及び信号パッド）を全て同電位の電源パッド P_v として扱い、この状態を初期状態とする（図5（a）参照）。以下、この初期化処理で同電位に設定された電源パッド P_v を「初期電源パッド P_v 」という。

【0043】

次に、ステップ21において、消費電力ファイルF4と電源配線抵抗網ファイルF8とに基づいてコアの電源網解析を行い、各ノードの電圧値を求める。上記したように、この電源網解析の結果、各ノード間のIRドロップ値が許容IRドロップ値を超えている場合には、その時点で処理を中止する。

【0044】

なお、本実施の形態においては、この電源網解析の処理を簡略化すべく、コア部をそれぞれ均一の抵抗と電流源とで近似される電氣的に等価な複数の等価回路（「パワーユニット」以下PUという）によって分割し、各PU間の接続点をそれぞれノードとして、それぞれ各ノードの電圧値を求めるようになっている。

【0045】

次に、ステップ22において、ステップ21で得られた各ノードの電圧値と、電源配線抵抗網ファイルF8に格納されている各ノード間の抵抗値（なお本実施の形態においては各PUを接続する抵抗の値）とに基づいて、初期電源パッド P_v に流れる電流値を算出する。

【0046】

詳しくは、図6に示すように、チップ周辺に設けられる電源パッド P_v には、IOバッファBufが接続されている。ここで、電源パッド P_v をノードN1とし、IOバッファBufのコア部側の接続点をノードN2とし、各ノードN1、N2間の抵抗値を抵抗値Rとして近似して表すと、各ノードN1、N2間に流れる電流値 I_p は、 $I_p = |V_1 - V_2| / R$ で求められる。なお、 V_1 、 V_2 はそれぞれノードN1、N2の電圧値を示す。すなわち、この電流値 I_p が、初期電源パッド P_v に流れる電流値として算出される。

【0047】

次に、ステップ23において、ステップ22で得られた電流値 I_p とIOバッファBufの許容電流値 I_c とに基づいて、初期電源パッド P_v の間引き処理を行う。

この間引き処理について詳述すると、図7に示すように、同処理では、まず、初期電源パッド P_v の中から、基準となるパッド（以下「基準パッド」という） P_s を決定する。

【0048】

なお、この基準パッド P_s は、上述したパッド制約情報ファイルF9に基づいて、チップ周辺に設けられる電源パッドのうち、あらかじめ配置に制約のあるものが決定される。本実施の形態においては、以下の条件のいずれかに該当するものが基準パッド P_s として決定されるようになっている。

【0049】

・出力バッファの同時スイッチングノイズ対策やその他のノイズ対策として配置が制約されるもの。

・パッケージピンの仕様により配置が制約されるもの。

【0050】

- ・電源パッドに流れる電流値がその両隣の電源パッドより多いもの。
- ・電流の集中が起こっている（電流値が所定以上となる）もの。
- ・その他設計する各デバイスごとに定められた制約により配置が固定されるもの。

【0051】

基準パッド P_s を決定した後、次いで、その基準パッド P_s を除く他の初期電源パッド P_v についてそれぞれ間引きが可能かどうか、すなわち、その位置において電源パッドを削除する（他のパッドとして使用する）ことができるかどうかを判断する。

【0052】

この間引き処理は、各基準パッド P_s の両隣の初期電源パッド P_v から順次なされ、具体的には以下のように行われる。

図7に示すように、まず、間引き処理の対象となるパッド（以下「間引き対象パッド」という） P_d に流れる電流値 A を、基準パッド P_s と、その基準パッド P_s に対し反対側に位置する間引き対象パッド P_d の隣接パッド P_{s0} とに、それぞれ所定の比率で分配する。

【0053】

この際、電流値 A の分配比率は、各パッド P_s 、 P_{s0} に流れる電流値及び各パッド P_s 、 P_{s0} と間引き対象パッド P_d との間の各距離に応じて決定される。具体的には、両パッド P_s 、 P_{s0} のうち電流値の大きなパッド及び間引き対象パッド P_d からの距離が近いパッドに対し、より多くの電流が分配されるようになっている。すなわち、基準パッド P_s に流れる電流値を B 、パッド P_{s0} に流れる電流値を C 、間引き対象パッド P_d とパッド P_{s0} 間の距離を L_1 、間引き対象パッド P_d と基準パッド P_s 間の距離を L_2 とすると、各パッド P_{s0} 、 P_s に対する電流値 A の分配量 X_1 、 X_2 は、

【0054】

【数1】

$$X_2 = \frac{A \{ (B / (B + C)) + (L_1 / (L_1 + L_2)) \}}{2}$$

$$X_1 = \frac{A \{ (C / (B + C)) + (L_2 / (L_1 + L_2)) \}}{2}$$

となる。ただし、距離に対する電流量の比重は等価なものとする。

【0055】

この結果、電流分配後の基準パッド P_s に流れる電流値は $(B + X_2)$ として表される。本実施の形態においては、この電流分配後の基準パッド P_s に流れる電流値 $(B + X_2)$ と、同基準パッド P_s に接続される I/Oバッファ B_{uf} の許容電流値 I_c とを比較することで、間引き対象パッド P_d の間引きが可能であるか否かを判断する。

【0056】

ここで、電流値 $(B + X_2)$ が許容電流値 I_c を超えていない場合 $(I_c \geq (B + X_2))$ には間引き対象パッド P_d の間引きを行う。すなわち、当該間引き対象パッド P_d となっている初期電源パッド P_v を、上記ステップ20で初期化处理する前のパッド（信号パッド、若しくは異電位の電源パッド）に戻す。一方、電流値 $(B + X_2)$ が許容電流値 I_c を超えている場合 $(I_c < (B + X_2))$ には間引きを行わない。この場合は、当該間引き対象パッド P_d となっている初期電源パッド P_v の配置を決定する。

【0057】

以後、同様にして、基準パッド P_s を除く全ての初期電源パッド P_v についてこのような間引き処理を順次行う。そして、図5(b)に示すように、基準パッド P_s 及び間引き処理によって間引きされなかったパッド（初期電源パッド P_v ）をそれぞれ電源パッドと

して決定する。

【0058】

次に、ステップ24において、収束条件を満たしているか否かを判定する。ここで、収束条件とは、ステップ23の間引き処理によって間引きしたパッドが有るか無いかを示しており、このとき間引きしたパッドが無い場合には「収束」したと判断して、処理（見積もり処理）を終了する。

【0059】

一方、間引きしたパッドが有る場合には「未収束」とであると判断して、ステップ21に戻り電源網解析を再度行う。そして、ステップ22の電流量計算を行った後、ステップ23の間引き処理を再度行う。なお、この2回目の間引き処理の際には、上記1回目の間引き処理で基準パッドP_sとならなかった初期電源パッドP_vのうち、電流値が最も大きいパッドを新たな基準パッドP_sと定めて処理を行う。そして、ステップ24で収束判定を行い、上記収束条件を満たす場合に処理を終了する。

【0060】

なお、パッケージピンの仕様等により電源パッドの配置数が制約される場合には、以下の方法を用いて電源パッドの位置を変更（移動）することで、見積もり後の電源パッドの配置を最適化することが可能である。

【0061】

この方法は、上述した見積もり処理によって電源パッドの数及び位置を見積もった後、配置を変更したい電源パッドとそれに隣接する電源パッド（ここでは、各電源パッド間に信号パッドがあっても隣接とみなす）の各電流値を比較し、それらのうち電流値の小さい電源パッドを電流値の大きい電源パッドに近づく方向に移動させる。ここで、両電源パッド間の距離をLとし、両電源パッドの電流値をそれぞれI_a、I_b（I_a>I_b）とすると、その移動量Dは、

【0062】

【数2】

$$D=L((I_a-I_b)/I_a)$$

により求められる。

【0063】

また、本実施の形態においては、以下の事項を考慮することで、レイアウト前における電源パッドの数及び位置をより精度良く見積もることが可能となるとともに、レイアウト中あるいはレイアウト後に電源パッドの数及び位置の最適化を図ることが可能となる。

【0064】

[1. コア部の電源配線の偏りを考慮する。]

コア部Cにおける電源配線のレイアウトにおいては、図8に示すように、例えばマクロM1、M2の配置に伴う電源配線の切断（図中、一点鎖線）や回り込み（図中、二点鎖線）に起因して、レイアウト内で電源配線に偏りが生じる。こうした電源配線の偏りをレイアウトデータより抽出して電源配線抵抗網ファイルF8に記憶しておき、上述した電源網解析を電源配線の偏りを考慮しながら行うことにより、電源パッドの数及び位置の最適化を図ることができる。

【0065】

[2. コア部の消費電力の偏りを考慮する。]

コア部Cの消費電力は、図9に示すように、同領域内における例えば高速動作モジュールM3、M4の配置に起因して偏りが生じる。このような消費電力の偏りを、設計のインスタンス毎、あるいは各モジュール毎に消費電力ファイルF4に記憶しておき、上述した電源網解析を消費電力の偏りを考慮しながら行うことにより、電源パッドの数及び位置の見積もり精度をさらに向上させることができる。

【0066】

【3. 電源パッドに流れる電流量の偏りを考慮する。】

電源パッドに流れる電流は、図10に示すように、電源パッドの配置によって電流量に偏りが生じる。具体的には、電源パッドが配置されるチップ各辺において中心部ほど電流が集中し、周辺部ほど電流が流れにくくなる。また、互いに異なる電位の電源を供給する電源パッドが隣接して配置される場合、それら隣接配置される電源パッドには電流集中が生じ易くなる。このような電源パッドにおける電流量の偏りをあらかじめ算出しておき、上述した電源網解析を電源パッドに流れる電流量の偏りを考慮しながら行うことにより、電源パッドの数及び位置の見積もり精度をさらに向上させることができる。

【0067】

次に、本実施の形態におけるコアサイズの見積もり方法（上述した図1において、コアサイズ算出手段13により実行されるステップ3の処理）を、図11～図16に基づいて説明する。

【0068】

図11は、コアサイズ見積もり方法を示す処理フローチャートである。

上記したように、このコアサイズ見積もり処理に際しては、回路情報ファイルF6とレイアウト条件ファイルF7とが準備される。ここで、回路情報ファイルF6には、上記ネットリストファイルF1より導出された各種の入力パラメータ、本実施の形態においてはセル数 N_{cell} 、総ネット数 J 、平均ファンアウト m_{avg} 、平均セル面積 A_{cell} 、及び使用されるマクロ面積の合計（以下「総マクロ面積」という） A_{macro} 等が回路情報として記憶されている。また、レイアウト条件ファイルF7には、レイアウト設計に係る各種の条件パラメータ、本実施の形態においてはセル使用率 ρ 、配線層数 K 、回路ブロックの縦横比に応じた係数（以下「アスペクト比」という） z_A 等がレイアウト条件として記憶されている。なお、セル使用率は、コア部に搭載される総セル面積を、そのコア部においてセルの配置が可能である領域の面積で除算して求められる。

【0069】

まず、回路情報ファイルF6とレイアウト条件ファイルF7とに基づいて、コア部の総ネット長と使用可能チャンネル長とがそれぞれ個別の処理フローによって算出される（ステップ31a、ステップ31b）。

【0070】

総ネット長の算出処理は、平均パス長の算出処理（ステップ311a）と総ネット長の算出処理（ステップ312a）とからなる。一方、使用可能チャンネル長の算出処理は、面積の仮見積もり処理（ステップ311b）と使用可能チャンネル長の算出処理（ステップ312b）とからなる。

【0071】

まず、ステップ31aにおける総ネット長の算出処理について説明する。

【ステップ311a：平均パス長の算出処理】

この処理は、コア部の各ネットに形成されるパス長（出力と入力の関係が1対1の関係となる配線の長さ）の平均を算出する処理である。この平均パス長 $L_{path-idf,avg}$ は、セル数 N_{cell} 、平均セル面積 A_{cell} 、セル使用率 ρ 、レンツ指数 p を用いて、

【0072】

【数3】

$$L_{path-idf,avg} = \frac{\frac{p-0.5}{p} - \sqrt{N_{cell}} - \frac{p-0.5}{6\sqrt{N_{cell}}(p+0.5)} + N_{cell}^p \frac{4^{p-0.5}-p-1}{2(p+0.5)p(p-1)}}{N_{cell}^{p-0.5} \frac{2^{2p-1}-2p-1}{2p(p-1)(2p-3)} - \frac{p-0.5}{6p\sqrt{N_{cell}}} + 1 - \frac{\sqrt{N_{cell}}(p-0.5)}{p-1}} \times \sqrt{\frac{A_{cell}}{\rho}}$$

により求められる（参考文献：J.A. Davis, V.K. De, J.D. Meindl "A Stochastic Wire-

Length Distribution for Gigascale Integration (GSI)- Part II : Applications to Clock Frequency, Power Dissipation, and Chip Size Estimation", IEEE Transaction on Electron Devices, Vol.45, No.3, March 1998)。

【0073】

なお、この平均パス長 $L_{path-idf,avg}$ は、マンハッタン長（入出力間を水平方向あるいは垂直方向のみで配線したときの最短距離）で求められる長さである。レンツ指数 p は、回路のアーキテクチャに依存して決定される値であり、セル数 N_{cell} 、総ネット数 J 、平均ファンアウト m_{avg} を用いて、

【0074】

【数4】

$$p = \log_{N_{cell}} \left(1 - \frac{(m_{avg} + 1) \cdot J}{a \cdot J \cdot m_{avg} + b \cdot N_{cell}} \right) + 1$$

で表される。

【0075】

ここで、 a 、 b は、過去のレイアウト情報より得られた経験的な値である。なお、回路情報のパラメータ（平均ファンアウト m_{avg} 等）が求まっていない場合には、レンツ指数 p の値をデフォルト値としてあらかじめ定めたものを使用するようにしてもよい。また、セル数 N_{cell} の代わりにゲート数を用いてレンツ指数 p を求めるようにしてもよい。この場合は、1セル当りの平均ゲート数をあらかじめ計算しておき、この平均ゲート数をセル数 N_{cell} に代えてレンツ指数 p を算出する。

【0076】

【ステップ312a：総ネット長の算出処理】

この処理は、上記ステップ311aで求めた平均パス長 $L_{path-idf,avg}$ と、各ネットのファンアウトに基づいて、コア部に形成される全ネットの長さの合計（総ネット長）を算出する処理である。

【0077】

全ネットのうち、ファンアウト m のネットの総数を $J_{FO=m}$ とすると、このファンアウト m のネットの総ネット長 $L_{net,FO=m}$ は、上記平均パス長 $L_{path-idf,avg}$ を用いて、

【0078】

【数5】

$$L_{net,FO=m} = L_{path-idf,avg} \times t(m) \times J_{FO=m}$$

により求められる。 $t(m)$ は、ファンアウト m と、そのファンアウト m のネットの配線の迂回の影響とについて相関を持つ関数であり、

【0079】

【数6】

$$t(m) = m \times a_{FO=m} \times b_{FO=m}$$

で表される。

【0080】

ここで、 $a_{FO=m}$ は、上記平均パス長 $L_{path-idf,avg}$ からファンアウト m のネットの平均パス長を求めるための関数である。また、 $b_{FO=m}$ は、そのファンアウト m のネットの平均パス長を平均ネット長に変換するための関数である。したがって、上記した数5において、「 $L_{path-idf,avg} \times t(m)$ 」は、ファンアウト m のネットの平均ネット長 $L_{net-avg,FO=m}$ として表される。なお、上記した各関数 $a_{FO=m}$ 、 $b_{FO=m}$ は、それぞれファンアウト m を用いて表される。

【0081】

この関数 $t(m)$ を用いて表される数 5 を用いて、各ネットのファンアウトに応じた総ネット長を算出し、それら各ファンアウトごとの総ネット長を総和した値がコア部に形成される総ネット長 $L_{\text{net-total}}$ として求められる。すなわち、総ネット長 $L_{\text{net-total}}$ は、

【0082】

【数7】

$$L_{\text{net-total}} = \sum L_{\text{net, FO=m}}$$

となる。

【0083】

また、この総ネット長 $L_{\text{net-total}}$ より、水平方向の配線における総ネット長 $L_{\text{net-total, X}}$ と垂直方向の配線（水平方向の配線に対し垂直な配線）における総ネット長 $L_{\text{net-total, Y}}$ を求めると、

【0084】

【数8】

$$L_{\text{net-total, X}} = L_{\text{net-total}} \times Z_A$$

$$L_{\text{net-total, Y}} = L_{\text{net-total}} \times (1 - Z_A)$$

となる。ここで、 Z_A はアスペクト比 ($0 < Z_A < 1$) である。

【0085】

次に、ステップ 31b における使用可能チャンネル長の算出処理について説明する。

[ステップ 311b: 面積の仮見積もり処理]

この処理では、セル数 N_{cell} 、平均セル面積 A_{cell} 、セル使用率 ρ 、及び総マクロ面積 A_{macro} を用いてコア部の仮面積 $A_{\text{temp-area}}$ を算出する。このコア部の仮面積 $A_{\text{temp-area}}$ は、コア部に配置されるセルの総面積と総マクロ面積 A_{macro} との和として求められる、

【0086】

【数9】

$$A_{\text{temp-area}} = (A_{\text{cell}} / \rho) \times N_{\text{cell}} + A_{\text{macro}}$$

となる。

【0087】

[ステップ 312b: 使用可能チャンネル長の算出処理]

この処理は、上記ステップ 311b で求めたコア部の仮面積 $A_{\text{temp-area}}$ に対し、各配線層での使用可能チャンネル長を算出する処理である。

【0088】

ある配線層 n における使用可能チャンネル長 $L_{\text{usable, n}}$ は、その配線層 n の全面が配線可能であるとしたときの理想的な使用可能チャンネル長を $L_{\text{all, n}}$ 、その配線層 n における配線禁止チャンネル長を $L_{\text{prohibit, n}}$ 、及びその配線層 n における最大チャンネル使用率を r_n とすると、

【0089】

【数 10】

$$L_{usable, n} = (L_{all, n} - L_{prohibit, n}) \times r_n$$

により求められる。

【0090】

ここで、配線層 n における理想的な使用可能チャンネル長 $L_{all, n}$ は、仮面積 $A_{temp-area}$ の値とアスペクト比 z_A とによって求められる。また、配線禁止チャンネル長 $L_{prohibit, n}$ は、電源配線で使用されるチャンネル長、ハードマクロの配置によって消失するチャンネル長、配線上位層から配線下位層へ接続するときが発生するスタックヴィアによって、配線中間層で実質的に配線チャンネルが消失する場合のチャンネル長、あらかじめ分かっている使用できないチャンネル長、等を合計したチャンネル長として求められる。

【0091】

この数 10 を用いて、同様に他の配線層における使用可能チャンネル長を算出し、それらを総和した値が全配線層での使用可能チャンネル長 $L_{usable-total}$ として求められる。すなわち、全配線層での使用可能チャンネル長 $L_{usable-total}$ は、

【0092】

【数 11】

$$L_{usable-total} = \sum L_{usable, n}$$

となる。

【0093】

また、各配線層の配線方向は、一般には配線層ごとに決められており、水平方向の配線における使用可能チャンネル長 $L_{usable-total, X}$ と垂直方向の配線における使用可能チャンネル長 $L_{usable-total, Y}$ は、それぞれ配線方向が同一方向となる配線層の使用可能チャンネル長を合算することで求められる。すなわち、水平方向の使用可能チャンネル長 $L_{usable-total, X}$ は、配線方向が水平方向の配線層の使用可能チャンネル長を合算して求められ、垂直方向の使用可能チャンネル長 $L_{usable-total, Y}$ は、配線方向が垂直方向の配線層の使用可能チャンネル長を合算して求められる。

【0094】

次に、ステップ 32 において、ステップ 31a で求めた総ネット長 $L_{net-total}$, $L_{net-total, X}$, $L_{net-total, Y}$ と、ステップ 31b で求めた使用可能チャンネル長 $L_{usable-total}$, $L_{usable-total, X}$, $L_{usable-total, Y}$ とをそれぞれ比較し、

【0095】

【数 12】

$$L_{net-total} \leq L_{usable-total}$$

$$L_{net-total, X} \leq L_{usable-total, X}$$

$$L_{net-total, Y} \leq L_{usable-total, Y}$$

の条件を満たすかどうかを判定する。

【0096】

ここで、条件を満たす場合には、ステップ 311b で仮見積もりしたコアサイズ（仮面積 $A_{temp-area}$ ）での配線レイアウトが可能となる。従って、その仮面積 $A_{temp-area}$ の値をコアサイズとして決定する（ステップ 33）。一方、条件を満たさない場合には、レ

レイアウト条件を変更してステップ 311b の面積の仮見積もり処理を再度やり直す。この場合、具体的にはセル使用率 ρ を下げる、あるいは配線層数 K を増加させることにより、仮面積の見積もり値を上記数 12 の条件を満足する最小の面積値まで大きくする。

【0097】

ちなみに、コアサイズはセル使用率 ρ が大きいほど小さくなり、セル使用率 ρ を 100% にしたとき、コアサイズ（仮面積 $A_{\text{temp-area}}$ ）は最も小さくなる（換言すれば、このときセルはコア部に隙間なく敷き詰められた状態となる）。しかしながら、一般には、セル使用率 ρ が 100% でレイアウト可能となる場合はほとんどなく、セル使用率 ρ の上限値は、レイアウトツール、配線の混雑度、レイアウト TAT 等に依存して、100% よりも小さな値で設定される。このような設計の環境に応じてセルの上限値をあらかじめ設定しておくことで、コア部の仮面積 $A_{\text{temp-area}}$ を効率よく見積もることが可能となる。

【0098】

本実施の形態では、このように平均パス長 $L_{\text{path-idf.avg}}$ から各ネットのファンアウトを考慮して総ネット長 $L_{\text{net-total}}$ を算出し、この総ネット長 $L_{\text{net-total}}$ に基づいてコアサイズを見積もる手法としたため、結果的にコア部に形成される総配線長を精度良く見積もりながらコアサイズを見積もることができる。これにより、本実施の形態では、各ネットのファンアウト、及びそのときのコア部の面積（コアサイズ）に応じて、各ネットの仮配線容量値を正確に見積もることも可能となる。

【0099】

例えば、ファンアウト m のネットの仮配線容量値は、ファンアウト m の平均ネット長 $L_{\text{net-avg.F0=m}}$ と単位長さ当りの配線容量値との積によって求められる。ここで、ファンアウト m の平均ネット長 $L_{\text{net-avg.F0=m}}$ は、上記したように「 $L_{\text{path-idf.avg}} \times t(m)$ 」（数 5 参照）で求められる。また、この平均ネット長 $L_{\text{net-avg.F0=m}}$ は、コア部に含まれるセル数 N_{cell} に比例した値となる。従って、ファンアウト m のネットにおける仮配線容量値を、各ネットのファンアウト m 及びコアサイズに応じて正確に見積もることが可能である。

【0100】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 電源網解析により求めた各ノードの電圧値から電源パッドに流れる電流値を算出し、その電流値と IO バッファの許容電流値との比較に基づいて電源パッドの数及び位置を見積もるようにした。この方法では、IO バッファの許容電流値を考慮して、SI や PI を保証し得る電源パッドの数及び位置をレイアウト前に精度良く見積もることができる。これにより、設計フローの手戻りを少なくして、設計期間の短縮、延いては設計コストの削減を図ることが可能である。

【0101】

(2) 電源網解析の結果、各ノード間の IR ドロップ値が許容 IR ドロップ値を超えている場合には処理を中止するようにした。従って、コア部における許容 IR ドロップ値を考慮して電源パッドの数及び位置を精度良く見積もることができる。

【0102】

(3) 本実施の形態では、コア部を電氣的に等価な複数の等価回路 (PU) により分割したモデル回路を用いて電源網解析を行うようにした。このように電源網解析を簡略化することで電源パッドの数及び位置の見積もりを容易に行うことが可能となる。

【0103】

(4) 本実施の形態では、あらかじめ配置が制約される電源パッドを基準パッド P_s として定め、この基準パッド P_s を除く電源パッド（初期電源パッド P_v ）について間引き処理を行うようにした。この方法では、配置制約を考慮しながら電源パッドの数及び位置を正確に見積もることができる。

【0104】

(5) 本実施の形態では、コア部の消費電力の偏りを考慮して電源網解析を行うことにより、電源パッドの数及び位置をより精度良く見積もることができる。

(6) 本実施の形態では、電源パッドに流れる電流量の偏りを考慮して電源網解析を行うことにより、電源パッドの数及び位置をより精度良く見積もることができる。

【0105】

(7) 本実施の形態では、コア部の電源配線の偏りを考慮して電源網解析を行うことにより、レイアウト後の電源パッドの数及び位置の最適化を図ることも可能である。

(8) コアサイズの見積もり方法において、平均パス長 $L_{path-idf,avg}$ から各ネットのファンアウトを考慮して総ネット長 $L_{net-total}$ を算出し、この総ネット長 $L_{net-total}$ と全配線層での使用可能チャンネル長 $L_{usable-total}$ とを比較した結果に基づいて、コアサイズを見積もるようにした。この方法では、コアサイズを各ネットのファンアウトを考慮して見積もるため、実際にレイアウトを行うことなく、コアサイズを正確に、且つ最小の面積で見積もることが可能となる。

【0106】

(9) 本実施の形態では、総ネット長 $L_{net-total}$ と使用可能チャンネル長 $L_{usable-total}$ との比較において、それらの水平方向と垂直方向の配線方向の成分についてもそれぞれ比較を行うようにした。この方法では、コアサイズの見積もりをより正確に行うことが可能となる。

【0107】

(10) 本実施の形態では、電源パッドの数及び位置、コアサイズを正確に見積もることができる。この結果、レイアウト前に、チップサイズを正確に見積もることが可能である。

【0108】

(11) 本実施の形態のコアサイズ見積もり方法では、各ネットのファンアウトに応じた平均ネット長 $L_{net-avg,FO=m}$ を精度良く求めることができるため、各ネットの仮配線容量値を正確に見積もることができる。従って、レイアウト前に、回路の性能をより高精度に評価することができるようになる。

【0109】

(第2の実施の形態)

以下、本発明を具体化した第2の実施の形態を上記第1の実施の形態との相違点を中心に図12～図16に従って説明する。この第2の実施の形態は、上述した図1のチップサイズ見積もり処理において、ステップ13におけるコアサイズ見積もり処理が第1の実施の形態と異なる。すなわち、本実施の形態は、コア部が複数の回路ブロックにより構成される場合に適用して好適なコアサイズ見積もり方法について説明するものである。

【0110】

図12は、本実施の形態のコアサイズ見積もり方法を示す処理フローチャートである。

まず、ステップ41において、コア部に形成される各回路ブロックの面積を求め、それらの合計を求める。この際、回路ブロックの面積の算出方法としては、その回路ブロックが過去において既にレイアウト済みのものであればその面積を用い、まだレイアウト前のものであれば、上記第1の実施の形態におけるコアサイズ見積もり方法を用いて面積を予想してもよい。

【0111】

次に、ステップ42において、各回路ブロックの周辺に必要となる配線領域を求め、それら各配線領域の合計を求める。なお、本実施の形態においては、図13に示すように、回路ブロック32とその周辺に必要な配線領域33とを1つのレイアウト面（図においてレイアウトブロック31）として捉え、このレイアウトブロック31の面積の合計を求めることとする。なお、このステップ42の処理の詳細については後述する。

【0112】

次に、ステップ43において、各回路ブロック32間の接続に使用するリピータセルの面積の合計を求める。なお、このステップ43の処理については後述するが、リピータセルとは、回路ブロック間を接続する配線が長い場合に、パス遅延を小さくするために結線の途中に挿入される所謂バッファ回路である。

【0113】

次に、ステップ44において、配線領域33を加えた回路ブロック32（つまりレイアウトブロック31）の面積の合計値とリピータセルの面積の合計値とを合計する。これにより、コアサイズの面積を見積もる。

【0114】

以下、配線領域33の算出手順について図14～図16を参照しながら説明する。説明の便宜上、ここでは回路ブロック32の左辺及び右辺（垂直方向の配線方向（図14において紙面の縦方向）と平行な辺）に対し必要な配線領域を算出する手順について説明するが、上辺及び下辺（水平方向の配線方向（図14において紙面の横方向）と平行な辺）に対し必要な配線領域を算出する手順についても同様にして求めることができる。

【0115】

〔処理1〕 回路ブロック32の端子の引き出しに必要な配線数を求める。

図14に示すように、回路ブロック32の端子の引き出しに必要な配線数は、回路ブロック32の左辺、右辺に配置されている端子数をそれぞれ T_L 、 T_R とし、左辺、右辺から引き出される配線数をそれぞれ I_L 、 I_R とすると、

配線数 I_L =端子数 T_L （左辺）

配線数 I_R =端子数 T_R （右辺）

となる。

【0116】

〔処理2〕 各回路ブロック間の結線に伴い、回路ブロック32の周り（ここでは左辺及び右辺の周り）を迂回する配線数 I_{detour} を求める。

各回路ブロック間の結線において、該ブロック間に他の回路ブロック（ここでは回路ブロック32がそれに該当する場合について考える。）が存在する場合、配線はレイアウトブロック31を通過する。この際、レイアウトブロック31を通過する配線には、回路ブロック32上を通過する配線と、その回路ブロック32の周りを迂回する配線とが含まれる。処理2では、このレイアウトブロック31を通過する配線のうち、回路ブロック32の周りを迂回する配線数 I_{detour} を求める。

【0117】

図16は、この配線数 I_{detour} の算出手順を示す処理フローチャートである。

まず、ステップ51において、レイアウトブロック31を通過する配線数 I_{thru} （予想値）を求めておく。この配線数 I_{thru} は、コア部に含まれる回路ブロック数を N_{block} 、回路ブロック間の総ネット数を J_B 、平均ファンアウトを m_{avg} 、レンツ指数を p 、隣同士の回路ブロック間の結線に用いられない配線のうち比率 c （ただし、 $0 \leq c \leq 1$ ）の配線がレイアウトブロック31を通過すると仮定すると、

【0118】

【数13】

$$I_{thru} = J_B \times m_{avg} \times \left(1 - \frac{\frac{2^{2p}-1}{6p} - \frac{2\sqrt{N_{block}}(2^{2p-1}-1)}{2p-1} + \frac{N_{block}(2^{2p-2}-1)}{p-1}}{\frac{N_{block}^p(2^{2p-1}-2p-1)}{p(2p-1)(p-1)(2p-3)} - \frac{1}{6p} + \frac{2\sqrt{N_{block}}}{2p-1} - \frac{N_{block}}{p-1}} \right) \times c$$

により求められる。

【0119】

次に、ステップ52において、レイアウトブロック31を通過する配線が回路ブロック32上を通過できるか否か（換言すれば回路ブロック32上に配線できるか否か）を判断する。これは、具体的には、回路ブロック32上で配線可能な配線チャネル数 $I_{ch.usabl}$

。を求めることにより判断し、このとき求めた配線チャネル数が「0」である場合には回路ブロック 32 上の配線が不可であると判断する。なお、この配線チャネル数 $I_{ch.usable}$ には、電源配線などにより配線不可となるチャネル数は含まれない。

【0120】

ここで、回路ブロック 32 上の配線が不可である場合（ステップ 52 で「NO」の場合）、レイアウトブロック 31 を通過する配線は、全て回路ブロック 32 の周りを迂回する配線となる。すなわち、 $I_{detour} = I_{thru}$ となる。なお、図 15 には、 $I_{detour} = I_{thru}$ となる場合において、レイアウトブロック 31 を通過する配線が例えば回路ブロック 32 の左右辺を $I_{thru}/2$ ずつ通過するときの模式図を示す。

【0121】

回路ブロック 32 上の配線が可能である場合（ステップ 52 で「YES」の場合）、ステップ 53 に移行する。このステップ 53 では、各回路ブロック間の結線に用いられるリピータセルの挿入間隔 d_r と、当該配線方向に平行な回路ブロック 32 の辺の長さ L_{block} とを比較する。

【0122】

ここで、 $d_r < L_{block}$ の場合（ステップ 53 で「NO」の場合）、回路ブロック間の配線を回路ブロック 32 上で行うことはできず、前記と同様、レイアウトブロック 31 を通過する配線は、全て回路ブロック 32 の周りを迂回する配線（すなわち $I_{detour} = I_{thru}$ ）となる。

【0123】

一方、 $d_r > L_{block}$ の場合（ステップ 53 で「YES」の場合）、回路ブロック間の配線をリピータセルを介して回路ブロック 32 上で行うことが可能となる。この場合は、次のステップ 54 に移行して、レイアウトブロック 31 を通過する配線数 I_{thru} と回路ブロック 32 上の配線チャネル数 $I_{ch.usable}$ とを比較し、該配線チャネル数 $I_{ch.usable}$ が上記配線数 I_{thru} よりも多いか否かを判断する。

【0124】

ここで、 $I_{thru} < I_{ch.usable}$ の場合（ステップ 54 で「YES」の場合）、レイアウトブロック 31 を通過する配線は、全て回路ブロック 32 上を通過する配線となる。すなわち、 $I_{detour} = 0$ となる。

【0125】

一方、 $I_{thru} > I_{ch.usable}$ の場合（ステップ 54 で「NO」の場合）、レイアウトブロック 31 を通過する配線数 I_{thru} と配線チャネル数 $I_{ch.usable}$ との差が、回路ブロック 32 上を通過する配線数となる。すなわち、この場合、 $I_{detour} = I_{thru} - I_{ch.usable}$ となる。

【0126】

【処理 3】 処理 1 で求めた回路ブロック 32 の端子の引き出しに必要な配線数 I_L 、 I_R と、処理 2 で求めた回路ブロック 32 の周りを迂回する配線数 I_{detour} との和 I_{oh} を求める。

【0127】

この配線数の和 I_{oh} は、回路ブロック 32 の周り（ここでは左右辺についてのみ）を通る総配線数として見積もられる値であり、

【0128】

【数 14】

$$I_{oh} = I_L + I_R + I_{detour}$$

となる。

【0129】

【処理 4】 処理 3 で求めた配線数の和 I_{oh} を満たす最小の配線領域を求める。

この最小の配線領域は、各配線層において配線ピッチ（ここでは垂直方向の配線ピッチ）と配線チャネル数との積が等しくなり、且つ全配線層での配線チャネル数の総和が上記配線数の和 I_{oh} と等しくなる時の面積値として求められる。ちなみに、各配線層で使用可能となる配線チャネル数は配線層数が多いほど多くなり、したがって配線領域は小さくなる。なお、この配線チャネル数には、上述した回路ブロック 32 上における配線チャネル数と同様、電源配線などにより配線不可となるチャネル数は含まれない。

【0130】

以上のような処理 1～処理 4 を行うことで、回路ブロック 32 の左右辺に対し必要となる配線領域を求めることができる。また、回路ブロック 32 の上下辺に対し必要となる配線領域についても、同様な処理 1～処理 4 によって求めることができる。

【0131】

ここで、回路ブロック 32 の上下辺及び左右辺の長さをそれぞれ $L_{block.X}$, $L_{block.Y}$ とし、上記処理 1～処理 4 によって求めたレイアウトブロック 31 の各辺に対し必要な配線領域の長さを上辺、下辺、左辺、右辺の順にそれぞれ L_T , L_B , L_L , L_R とすると、配線領域 33 を加えた回路ブロック 32（つまりレイアウトブロック 31）の面積 $A_{block-add}$ は、

【0132】

【数 15】

$$A_{block-add} = (L_{block.X} + L_L + L_R) \times (L_{block.Y} + L_T + L_B)$$

となる。

【0133】

従って、コア部に形成される全回路ブロックについてそれぞれ必要な配線領域を含めたレイアウトブロックの面積の合計値 $A_{block-add-all}$ は、

【0134】

【数 16】

$$A_{block-add-all} = \sum A_{block-add}$$

となる。

【0135】

次に、上記各回路ブロック間の接続に用いるリピータセルの面積（合計値）の算出手順について説明する。

リピータセルの面積の合計値は、コア部に形成されるリピータセル数 N_{buffer} と、想定する 1 個当りのリピータセル面積 A_{buffer} との積により求められる。

【0136】

コア部に形成されるリピータセル数 N_{buffer} は、

【0137】

【数 17】

$$N_{\text{buffer}} = 0 \times \int_1^{1r} i(l) dl + 1 \times \int_{1r}^{2lr} i(l) dl + 2 \times \int_{2lr}^{3lr} i(l) dl + \dots + z \times \int_{zlr}^{2\sqrt{N}} i(l) dl$$

$$i(l) = \frac{\alpha k}{2} \Gamma \left(\frac{1^3}{3} - 2\sqrt{N_{\text{block}}} l^2 + 2Nl \right) l^{2p-4} \quad \left(1 \leq l \leq \sqrt{N_{\text{block}}} \right)$$

$$i(l) = \frac{\alpha k}{6} \Gamma \left(2\sqrt{N_{\text{block}}} - l \right)^3 l^{2p-4} \quad \left(\sqrt{N_{\text{block}}} \leq l \leq 2\sqrt{N_{\text{block}}} \right)$$

$$k = \frac{(m_{\text{avg}} + 1) J}{N_{\text{block}} (1 - N_{\text{block}}^{p-1})}$$

z は $z \cdot 1r < 2\sqrt{N_{\text{block}}}$ を満たす最大の整数

により求められる。

【0138】

ここで、 $1r$ は、上記レイアウトブロックの面積の合計値 $A_{\text{block-add-all}}$ より算出される平均レイアウトブロック面積 $A_{\text{block-add-avg}}$ から求められるゲートピッチであり、

【0139】

【数18】

$$1r = (A_{\text{block-add-avg}})^{0.5} / d_r$$

により求められる。

【0140】

従って、リピータセルの面積の合計値 $A_{\text{buffer-total}}$ は、

【0141】

【数19】

$$A_{\text{buffer-total}} = A_{\text{buffer}} \times N_{\text{buffer}}$$

となる。

【0142】

よって、コア部の予想面積 A_{core} は、数16で求めたレイアウトブロックの面積の合計値 $A_{\text{block-add-all}}$ と、数19で求めたリピータセルの面積の合計値 $A_{\text{buffer-total}}$ との和により求められ、

【0143】

【数20】

$$A_{\text{core}} = A_{\text{block-add-all}} + A_{\text{buffer-total}}$$

となる。

【0144】

本実施の形態では、このようなコアサイズ見積もり方法によって、複数の回路ブロックからなるコア部の面積（コアサイズ）を、そのレイアウト前に、正確にかつ最小の面積値

で見積もることができる。

【0145】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) コア部が複数の回路ブロックからなる場合において、各回路ブロックの面積と、各回路ブロック間の結線に伴い必要となる配線領域と、各回路ブロック間の接続に用いられるリピータセルの面積とを総和して求めた面積値をコアサイズとして見積もるようにした。この方法では、複数の回路ブロックからなるコア部の面積を、実際にレイアウトを行うことなく、正確に且つ最小の面積値で見積もることが可能となる。

【0146】

尚、上記各実施の形態は、以下の態様で実施してもよい。

・第1の実施の形態の電源パッドの数及び位置見積もり方法(図4)では、チップ各辺に電源パッドが1つずつ(但し全て同電位に設定する)備えられる状態を初期状態として処理を開始し、その後、各パッドに流れる電流値とIOバッファの許容電流値との比較結果に基づいて電源パッドを追加していく方法としてもよい。

【0147】

・第1の実施の形態において、基準パッド P_s として定める電源パッドは同実施の形態にて例示したものに限らない。

・第2の実施の形態のコアサイズ見積もり方法は、コア部が複数の回路ブロックからなる場合のみならず、コア部が一つの回路ブロックからなる場合においても勿論適用可能である。

【0148】

上記各実施の形態から把握できる技術的思想を以下に記載する。

(付記1) 半導体集積回路の電源パッドの数及び位置見積もり方法であって、

消費電力と電源配線抵抗網とに基づいてコア部の電源網解析を行い、各ノードの電圧値を求める第1の処理と、

前記各ノードの電圧値と各ノード間の抵抗値に基づいて各ノード間の電流値を算出し、前記各ノード間の電流値から電源パッドに流れる電流値を求める第2の処理と、

前記電源パッドに流れる電流値がIOバッファの許容電流値を満たすか否かを判断し、その判断結果に基づいて前記電源パッドの間引き又は追加を行う第3の処理とを有することを特徴とする電源パッドの数及び位置見積もり方法。

(付記2) 前記各ノードの電圧値に基づいて各ノード間のIRドロップ値を算出し、該IRドロップ値が許容IRドロップ値を満足しない場合はその後の処理を中止することを特徴とする付記1記載の電源パッドの数及び位置見積もり方法。

(付記3) それぞれ均一の抵抗値と電流源とで表される電氣的に等価な複数の等価回路により前記コア部をモデル化した回路を用いて前記電源網解析を行うことを特徴とする付記1又は2記載の電源パッドの数及び位置見積もり方法。

(付記4) 前記電源網解析を前記コア部の電源配線の偏りを考慮して行うことを特徴とする付記1又は2記載の電源パッドの数及び位置見積もり方法。

(付記5) 前記電源網解析を前記コア部の消費電力の偏りを考慮して行うことを特徴とする付記1、2又は4記載の電源パッドの数及び位置見積もり方法。

(付記6) 前記電源網解析を前記電源パッドに流れる電流値の偏りを考慮して行うことを特徴とする付記1、2、4又は5記載の電源パッドの数及び位置見積もり方法。

(付記7) 前記電源網解析に先立って、前記半導体集積回路に備えられるパッドを全て同電位の電源パッドとして設定する初期化処理を有し、

前記第3の処理では、前記電源パッドに流れる電流値が前記許容電流値を満たす場合に前記電源パッドの間引き処理を行うようにしたことを特徴とする付記1乃至6の何れか一記載の電源パッドの数及び位置見積もり方法。

(付記8) 前記電源パッドの間引き処理後に収束条件を満たしているか否かを判定し、前記収束条件を満たす場合に見積もり処理を終了し、前記収束条件を満たさない場合に前記電源網解析を再度行う、ことを特徴とする付記7記載の電源パッドの数及び位置見積もり

り方法。

(付記 9) 前記初期化処理した電源パッドのうち配置が制約される電源パッドを基準パッドとして定め、該基準パッドを除く電源パッドを対象として前記間引き処理を行うことを特徴とする付記 7 又は 8 記載の電源パッドの数及び位置見積もり方法。

(付記 10) 前記間引き処理は、当該処理の対象とする電源パッドに流れる電流値を所定の比率で前記基準パッドに分配し、その分配後の基準パッドに流れる電流値と前記許容電流値との比較結果に基づいて行うことを特徴とする付記 7 乃至 9 の何れか一記載の電源パッドの数及び位置見積もり方法。

(付記 11) 半導体集積回路のコアサイズ見積もり方法であって、

回路情報とレイアウト条件とに基づいてコア部に形成される総ネット長と使用可能チャンネル長とを算出し、

前記総ネット長が前記使用可能チャンネル長以下、

且つ、水平方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、

且つ、垂直方向の配線方向に関して、前記総ネット長が前記使用可能チャンネル長以下、となるときのコアサイズを見積もることを特徴とするコアサイズ見積もり方法。

(付記 12) 前記総ネット長は、

各ネットに形成されるパス長を平均化して平均パス長を求める第 1 の処理と、

前記平均パス長から各ネットのファンアウトに応じた総ネット長を算出し、該算出した各ファンアウト毎の総ネット長の総和を求める第 2 の処理と、により算出され、

前記水平方向及び前記垂直方向の配線方向における総ネット長は、

前記第 2 の処理の算出結果と回路ブロックの縦横比に応じた係数とに基づいて算出されることを特徴とする付記 11 記載のコアサイズ見積もり方法。

(付記 13) 前記使用可能チャンネル長は、

コア部の面積を仮見積もりする第 1 の処理と、

前記仮見積もりしたコア部の面積に対し、各配線層での使用可能チャンネル長を配線禁止チャンネル長と最大チャンネル使用率とに基づいて算出し、該算出した各配線層毎の使用可能チャンネル長の総和を求める第 2 の処理と、により算出され、

前記水平方向及び前記垂直方向の配線方向における使用可能チャンネル長は、

それぞれ配線方向が同一方向となる配線層の使用可能チャンネル長を合算して求められることを特徴とする付記 11 記載のコアサイズ見積もり方法。

(付記 14) 複数の回路ブロックよりなる半導体集積回路のコアサイズ見積もり方法であって、

各回路ブロックの面積の総和を求める第 1 の処理と、

前記各回路ブロックの周辺に必要となる配線領域を算出し、各配線領域の総和を求める第 2 の処理と、

各回路ブロック間の接続に用いるリピータセルの面積の総和を求める第 3 の処理と、を有し、

前記第 1 の処理、前記第 2 の処理及び前記第 3 の処理の算出結果を総和して求められる面積をコアサイズとして見積もることを特徴とするコアサイズ見積もり方法。

(付記 15) 前記配線領域は、

前記回路ブロックの端子数に応じた配線数と前記回路ブロックの周りを迂回する配線数との総和が各配線層にて使用可能な配線チャンネル数の総和と等しくなり、且つ、各配線層で配線ピッチと配線チャンネル数との積が等しくなるときの面積値として求められることを特徴とする付記 14 記載のコアサイズ見積もり方法。

(付記 16) 前記リピータセルの面積の総和は、

前記配線領域を加えた回路ブロックの面積の平均と、リピータセルの挿入間隔と、回路ブロック数と、平均ファンアウトと、レンツ指数とに基づいて算出されるリピータセルの個数と、リピータセルの 1 個当りの面積との積により求められることを特徴とする付記 1

4 記載のコアサイズ見積もり方法。

(付記 17) 半導体集積回路の仮配線容量見積もり方法であって、

付記 11 記載の平均パス長に基づいて各ネットのファンアウトに応じた平均ネット長を算出し、前記平均ネット長と単位長さ当りの容量値とに基づいて仮配線容量を見積もることを特徴とする仮配線容量見積もり方法。

(付記 18) 半導体集積回路のチップサイズ見積もり方法であって、

付記 11 乃至 16 の何れか一記載のコアサイズ見積もり方法を用いて求めたコアサイズと、付記 1 乃至 10 の何れか一記載の電源パッドの数及び位置見積もり方法を用いて求めた電源パッドの数及び位置に応じた I/O 領域とに基づいてチップサイズを見積もることを特徴としたチップサイズ見積もり方法。

(付記 19) 半導体集積回路の設計装置であって、

付記 1 乃至 10 の何れか一記載の電源パッドの数及び位置見積もり方法を用いて電源パッドの数及び位置を見積もる電源パッド数・位置算出手段を備える、ことを特徴とする設計装置。

(付記 20) 半導体集積回路の設計装置であって、

付記 11 乃至 16 の何れか一記載のコアサイズ見積もり方法を用いてコアサイズを見積もるコアサイズ算出手段を備える、ことを特徴とする設計装置。

(付記 21) 半導体集積回路の設計装置であって、

付記 11 乃至 16 の何れか一記載のコアサイズ見積もり方法を用いてコアサイズを見積もるコアサイズ算出手段と、

付記 1 乃至 10 の何れか一記載の電源パッドの数及び位置見積もり方法を用いて電源パッドの数及び位置を見積もる電源パッド数・位置算出手段とを備えることを特徴とする設計装置。

(付記 22) 付記 1 乃至 10 の何れか一記載の電源パッドの数及び位置見積もり方法に従った処理を実行するプログラムが記録された記録媒体。

(付記 23) 付記 11 乃至 16 の何れか一記載のコアサイズ見積もり方法に従った処理を実行するプログラムが記録された記録媒体。

【図面の簡単な説明】

【0149】

【図 1】第 1 の実施の形態のチップサイズ見積もり方法を示す処理フローチャートである。

【図 2】設計装置の概略構成図である。

【図 3】第 1 の実施の形態の電源パッドの数及び位置見積もり方法を示す処理フローチャートである。

【図 4】図 3 の見積もり方法の詳細を示す処理フローチャートである。

【図 5】間引き処理の概念を示す説明図であり、(a) は初期状態、(b) は間引き処理後の状態を示す。

【図 6】電源パッドに流れる電流量計算に用いるモデル回路図である。

【図 7】間引き処理の概念を示す説明図である。

【図 8】電源配線の偏りを例示する説明図である。

【図 9】高速動作モジュールの配置例を示す説明図である。

【図 10】電源パッドに流れる電流量の偏りを例示する説明図である。

【図 11】第 1 の実施の形態のコアサイズ見積もり方法を示す処理フローチャートである。

【図 12】第 2 の実施の形態のコアサイズ見積もり方法を示す処理フローチャートである。

【図 13】レイアウトブロックの説明図である。

【図 14】端子の引き出しに必要な配線数を示す説明図である。

【図 15】レイアウトブロックを通過する配線の説明図である。

【図16】回路ブロックを迂回する配線数の算出手順を示す処理フローチャートである。

【符号の説明】

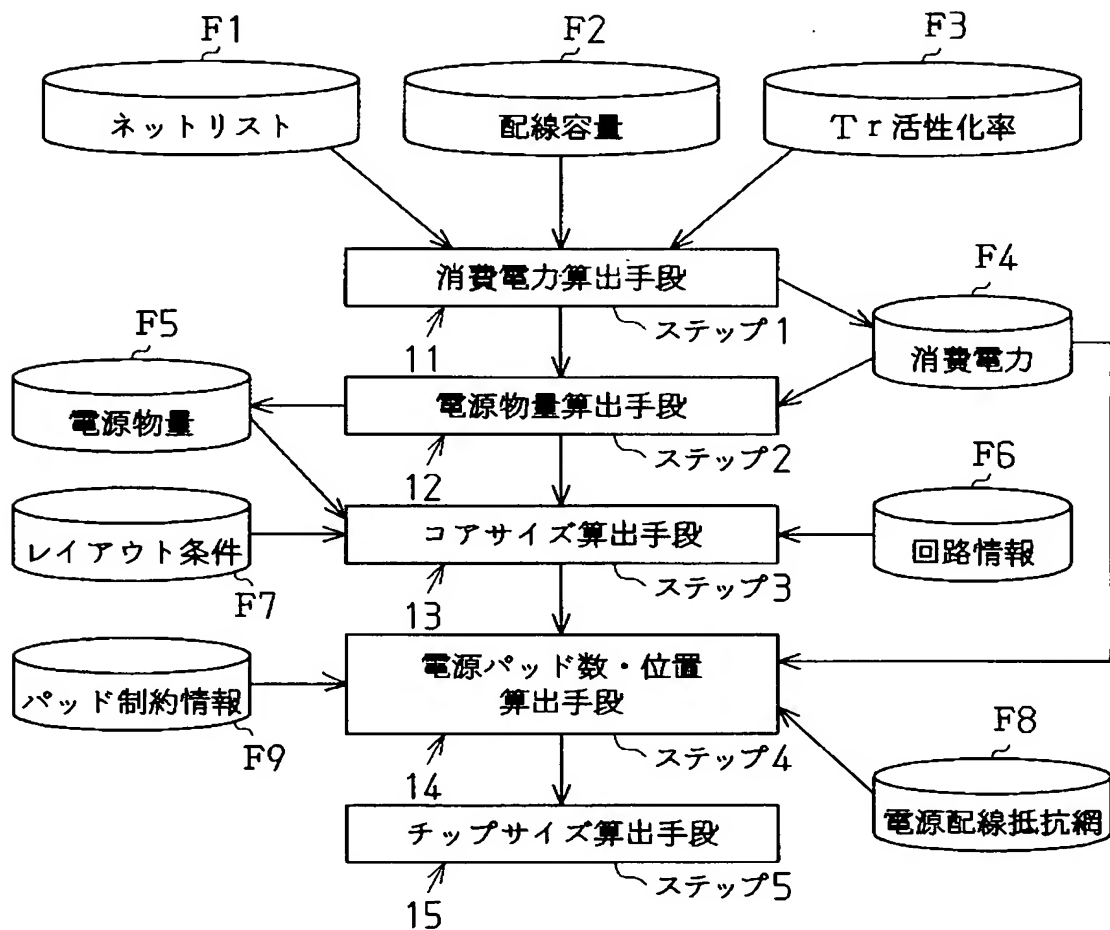
【0150】

- C コア部
- F4 消費電力ファイル
- F6 回路情報ファイル
- F7 レイアウト条件ファイル
- F8 電源配線抵抗網ファイル
- Ic 許容電流値
- Ps 基準パッド
- Pv 電源パッド (初期電源パッド)
- Pd 間引き処理の対象とする電源パッド (間引き対象パッド)
- L_{path-idf.avg} 平均パス長
- L_{net-total} 総ネット長
- L_{net-total.X} 水平方向の配線方向における総ネット長
- L_{net-total.Y} 垂直方向の配線方向における総ネット長
- L_{usable-total} 使用可能チャンネル長
- L_{usable-total.X} 水平方向の配線方向における使用可能チャンネル長
- L_{usable-total.Y} 垂直方向の配線方向における使用可能チャンネル長
- L_{net-avg.F0=m} ファンアウトmのときの平均ネット長
- L_{prohibit.n} 配線層nのときの配線禁止チャンネル長
- A_{temp-area} 仮見積もりしたコア部の面積 (仮面積)
- m ファンアウト
- r_n 最大チャンネル使用率
- z_A 回路ブロックの縦横比に応じた係数 (アスペクト比)
- 13 コアサイズ算出手段
- 14 電源パッド数・位置算出手段
- 21 設計装置
- 32 回路ブロック
- 33 配線領域

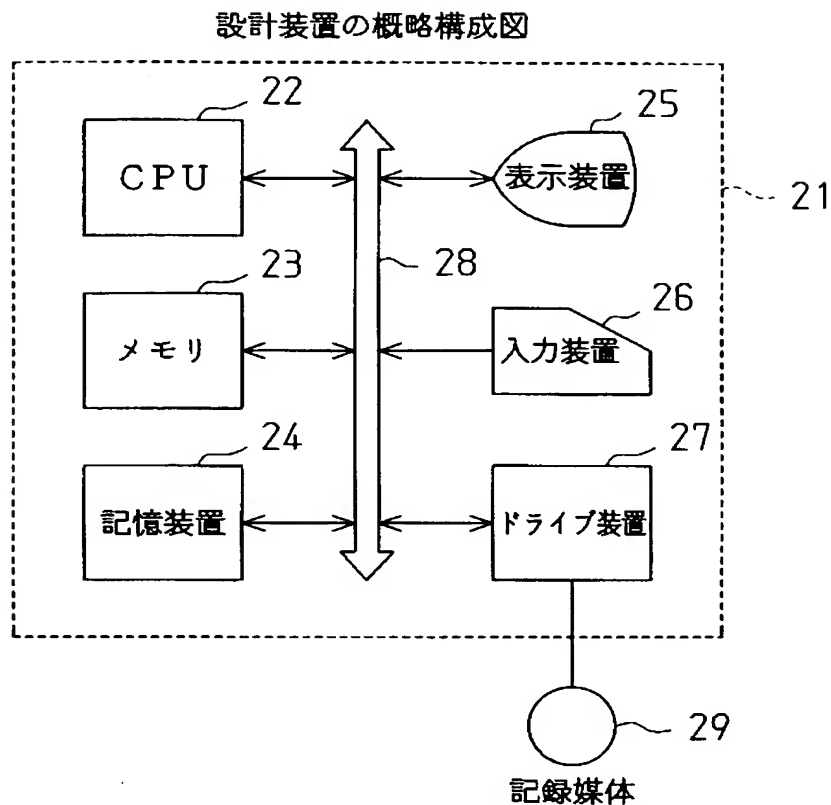
【書類名】図面

【図 1】

第 1 の実施の形態のチップサイズ見積もり方法を示す処理フローチャート

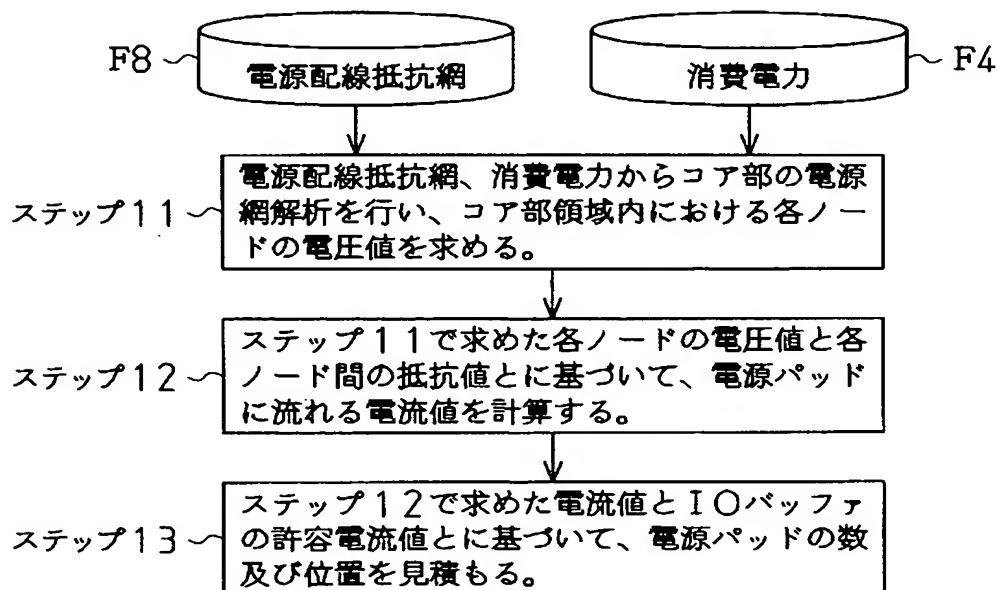


【図 2】



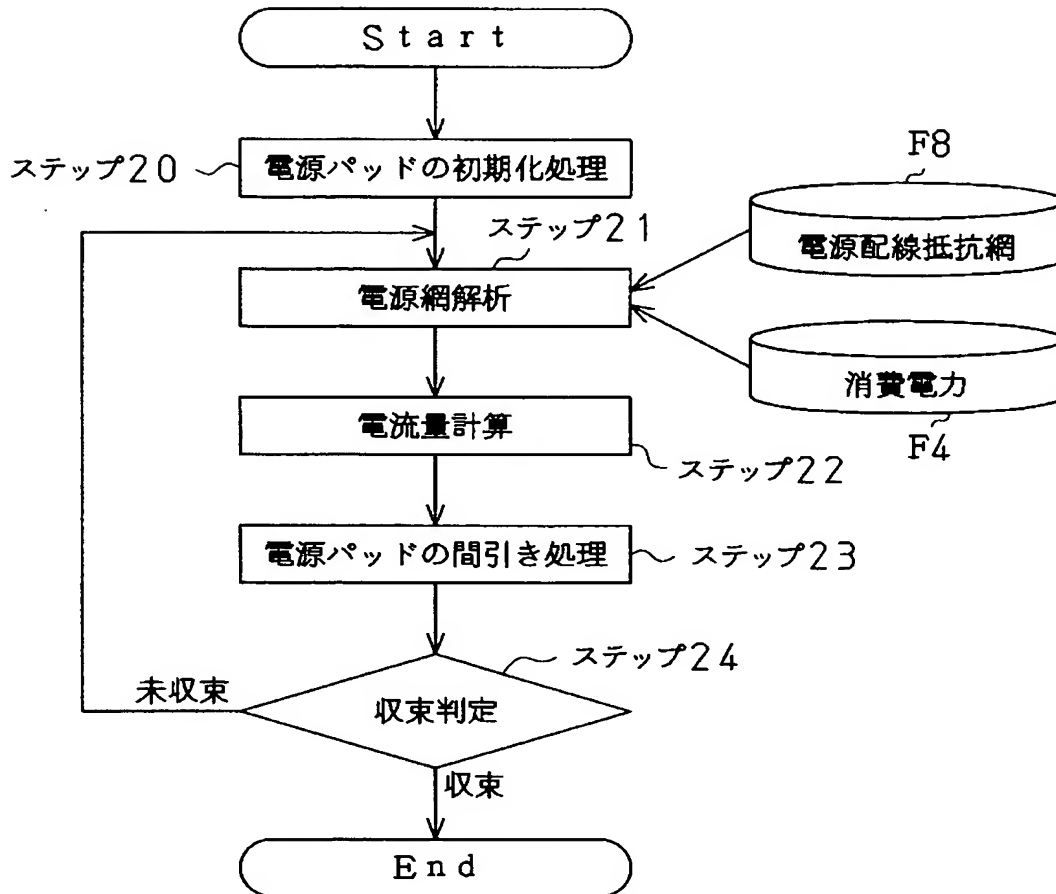
【図 3】

第 1 の実施の形態の電源パッドの数及び位置見積もり方法
を示す処理フローチャート



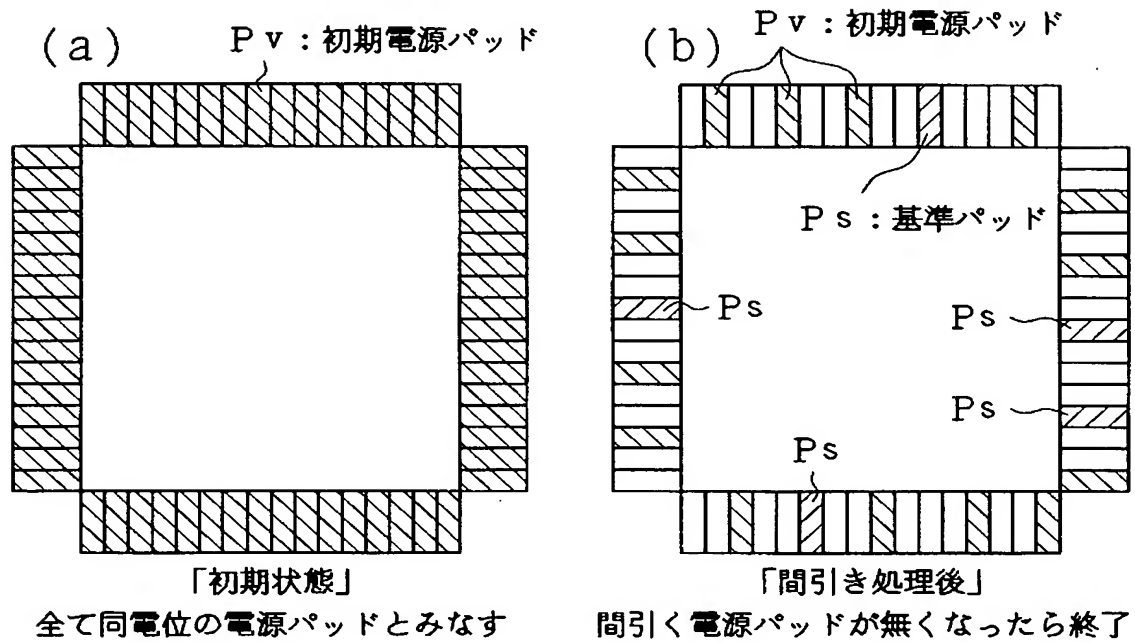
【図 4】

図 3 の見積もり方法の詳細を示す処理フローチャート



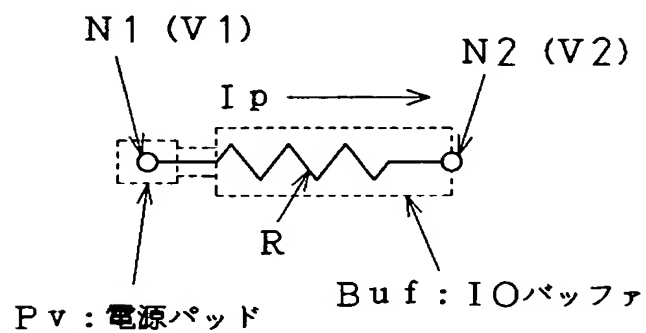
【図 5】

間引き処理の概念を示す説明図



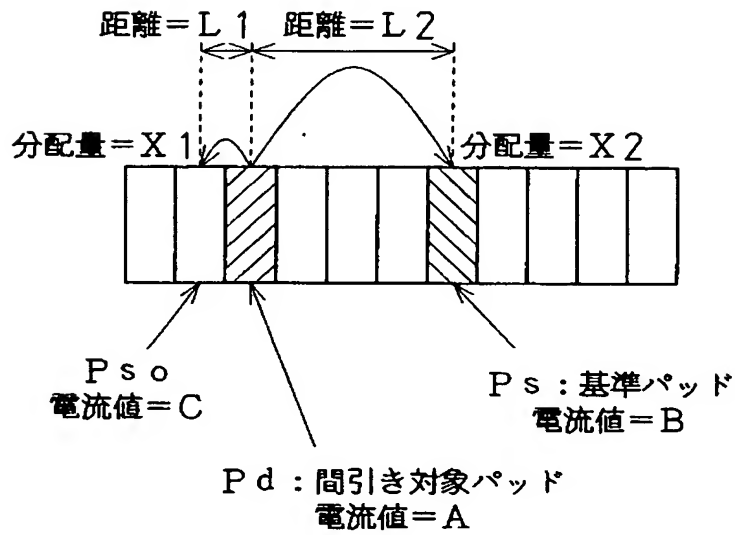
【図 6】

電源パッドに流れる電流量計算に用いるモデル回路図



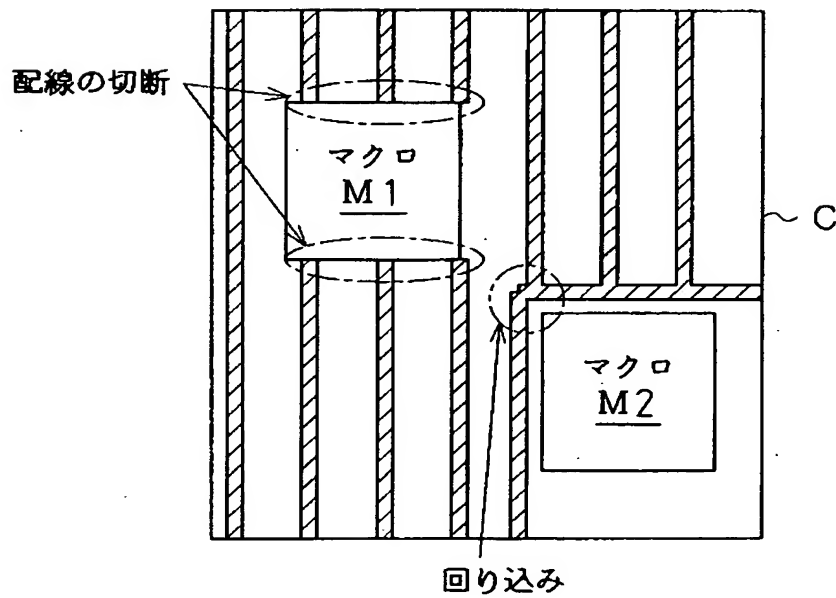
【図 7】

間引き処理の概念を示す説明図



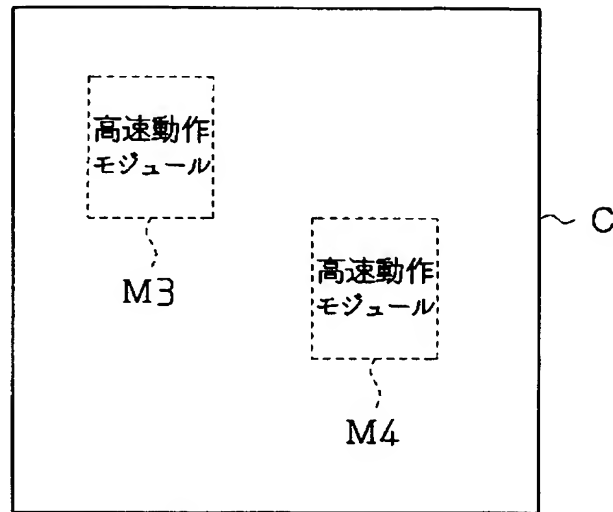
【図 8】

電源配線の偏りを例示する説明図



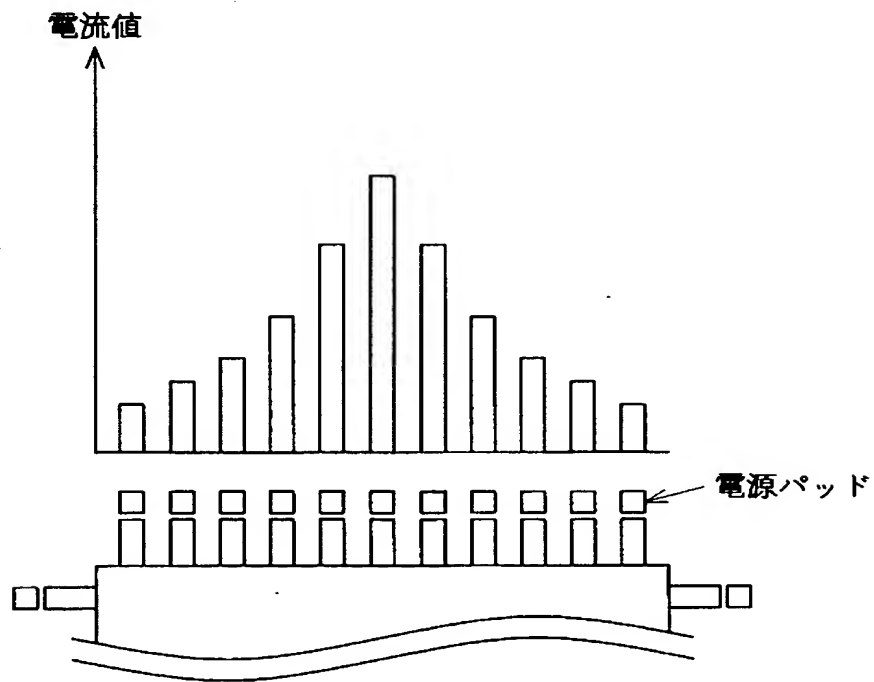
【図 9】

高速動作モジュールの配置例を示す説明図



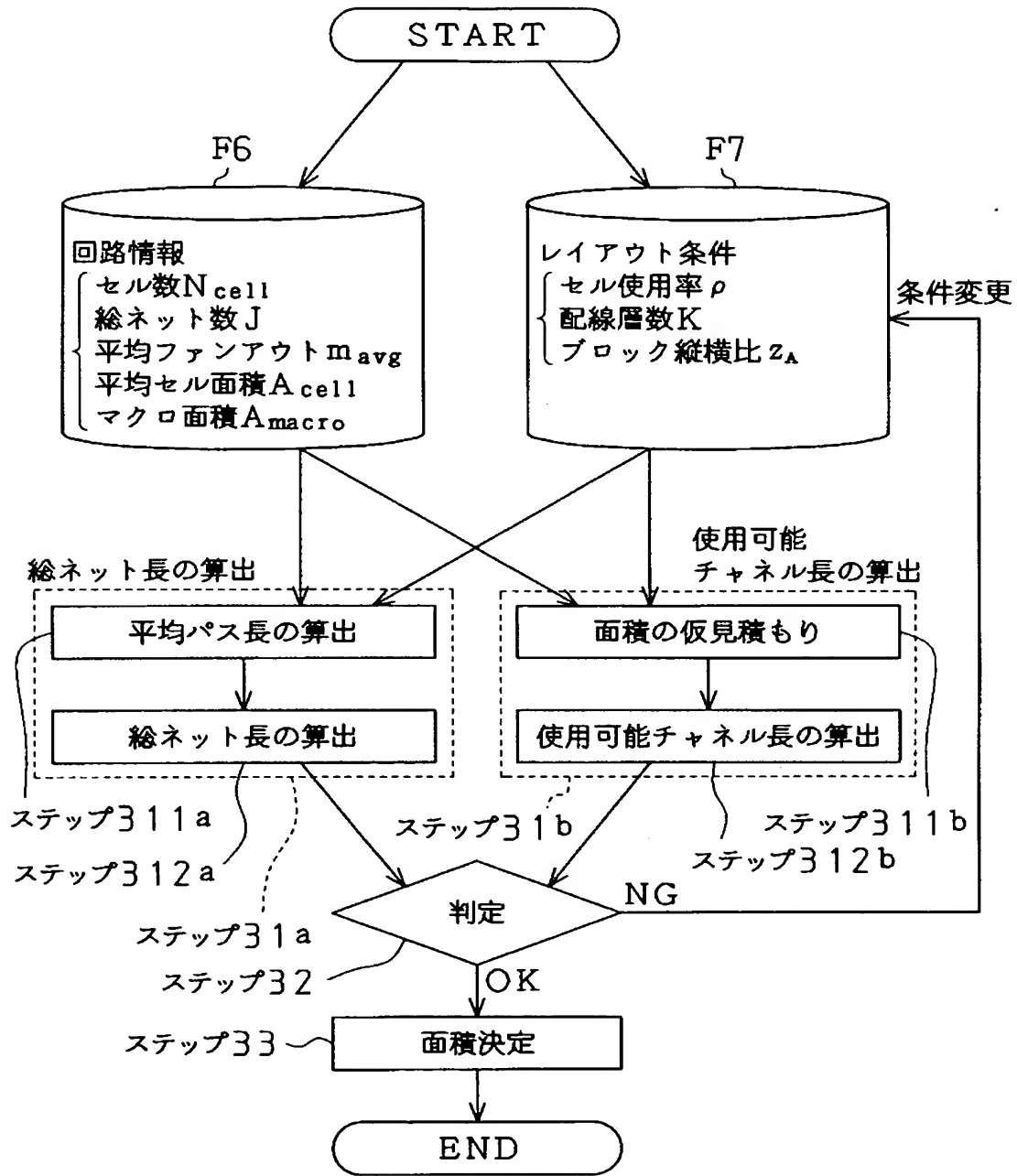
【図 10】

電源パッドに流れる電流量の偏りを例示する説明図



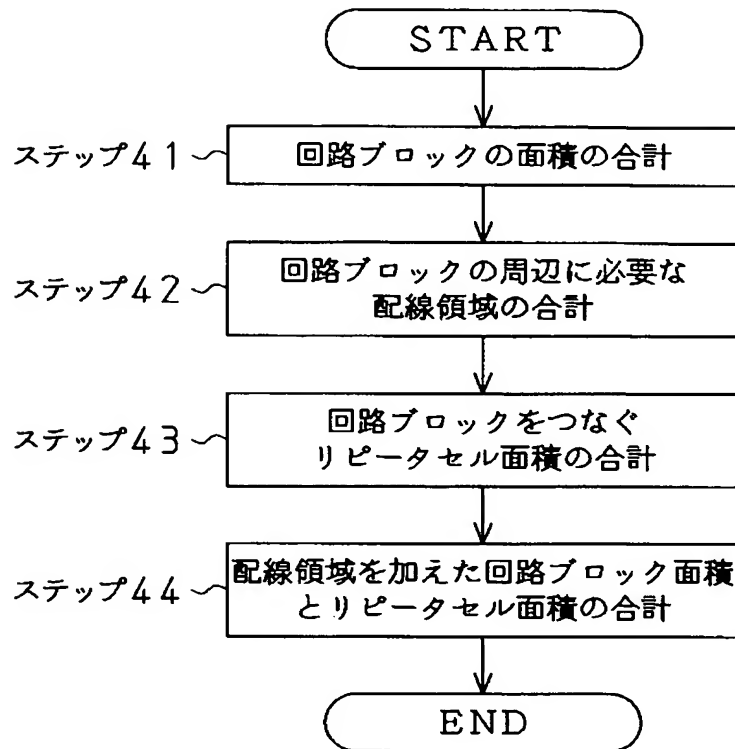
【図 11】

第 1 の実施の形態のコアサイズ見積もり方法を示す処理フローチャート



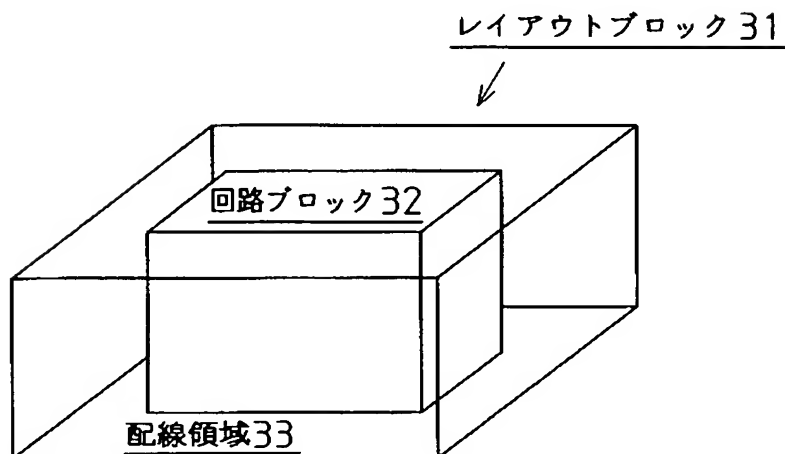
【図 12】

第2の実施の形態のコアサイズ見積もり方法を示す処理フローチャート



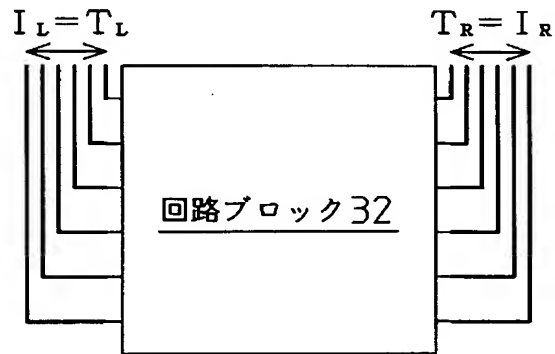
【図 13】

レイアウトブロックの説明図



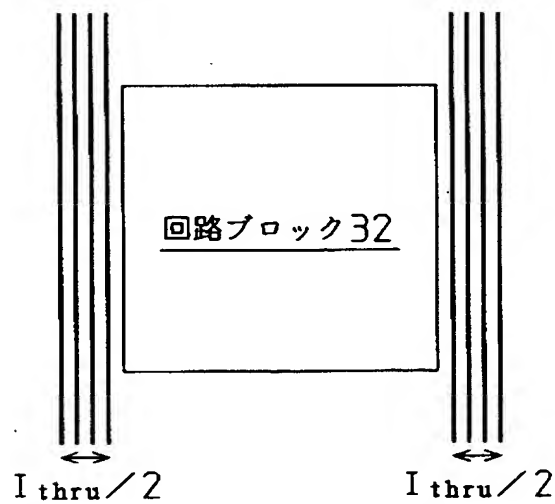
【図 14】

端子の引き出しに必要な配線数を示す説明図



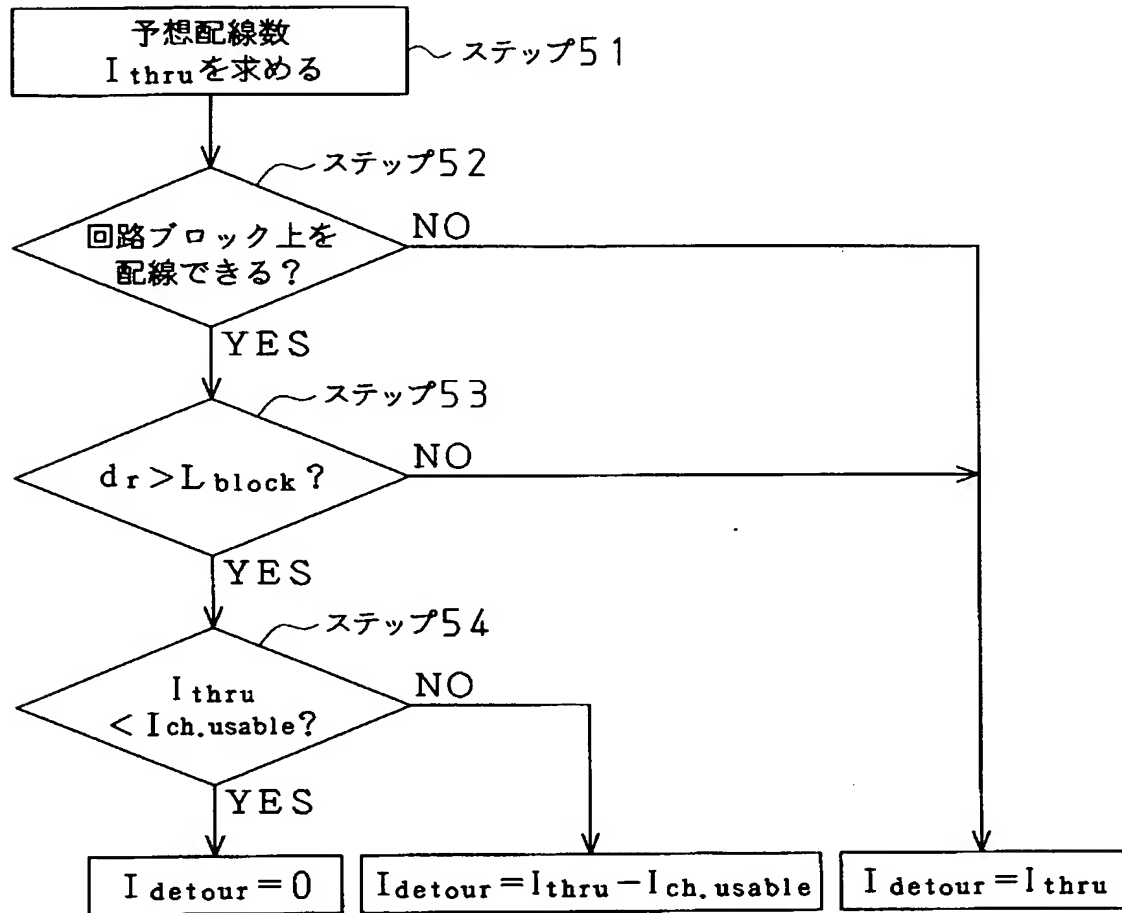
【図 15】

レイアウトブロックを通過する配線を示す説明図



【図 16】

回路ブロックを迂回する配線数の算出手順を示す処理フローチャート



【書類名】 要約書

【要約】

【課題】 設計フローにおける手戻り工程を少なくし、設計期間の短縮、延いては設計コストの削減を図ることのできる電源パッドの数及び位置見積もり方法を提供する。

【解決手段】 消費電力ファイルF4と電源配線抵抗網ファイルF8とに基づいてコア部の電源網解析を行い、各ノードの電圧値を求める第1の処理と、前記各ノードの電圧値と各ノード間の抵抗値に基づいて各ノード間の電流値を算出し、前記各ノード間の電流値から電源パッドに流れる電流値を求める第2の処理と、前記電源パッドに流れる電流値がI/Oバッファの許容電流値を満たすか否かを判断し、その判断結果に基づいて前記電源パッドの間引き又は追加を行う第3の処理とに基づいて電源パッドの数及び位置を見積もる。

【選択図】 図3

特願 2 0 0 3 - 3 0 3 4 9 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 . 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社